

Reference 2

Japanese Patent Public Disclosure No. 108747/1978 Date of  
Public Disclosure: September 21, 1978  
Application No. 17515/1978  
Application Date: February 17, 1978  
Priority: S.N. 769617 (US)  
Inventor: Jaime Call et al.  
Applicant: Honeywell Information System Inc.  
Title: Data Processing System involving Cache Memory Device

We are enclosing a copy of a U.S.P. (No. 4,084,234)  
which corresponds to Reference 2, please refer to it.

**Best Available Copy**

⑪Int. Cl.<sup>2</sup>  
G 06 F 15.00

識別記号

⑫日本分類  
97(7) H 0庁内整理番号  
6619-56

⑬公開 昭和53年(1978)9月21日

発明の数 3  
審査請求 未請求

(全34頁)

⑭カフシエ記憶装置を含むデータ処理システム

ルバーク

アメリカ合衆国アリゾナ州8502

1フエニツクス・ウエスト・カ

ミノ・エイスキア4117

⑮特 願 昭53-17515

⑯出 願 昭53(1978)2月17日

優先権主張 ⑰1977年2月17日⑱アメリカ国  
(US)⑲769617⑳出 願 人 ハネイウエル・インフオメーシ  
ョン・システムス・インコーポ  
レーテッド

㉑発 明 者 ジエイム・コール

アメリカ合衆国アリゾナ州8530

6グレンデル・ウエスト・ウ

オルターン4723

アメリカ合衆国マサチューセツ

ツ州02154ウオルサム・スミス

・ストリート200

同 ローレンス・ダブリュー・チェ

㉒代 理 人 弁理士 湯浅恭三 外1名

## 明 細 書

## 1.〔発明の名称〕

カフシエ記憶装置を含むデータ処理システム

## 2.〔特許請求の範囲〕

(1) 複数のポートを有するシステム・インタ  
フェース装置と、前記の複数のポートの各々に接続され、少く  
とも1個のメモリー・モジュールと複数の指令  
モジュールとからなる複数のモジュールとを設  
け、前記指令モジュールの各々は、メモリー・指令を生成するための指令生成装置を  
有し、第1のタイプの各メモリー・指令は前記メモ  
リー・指令を伴うデータが記憶されるべき前記メモ  
リー・モジュールにおける場所を表示するアドレ  
スを含み、

前記1つのメモリー・モジュールは、

前記メモリー・指令に応じて情報ワードのプロ  
ックを記憶するためのカフシエ記憶装置と、情報ワードを記憶し、各々が1ブロックを規定  
する複数のワード場所を含む補助記憶装置と、

(1)

前記カフシエ記憶装置と前記補助記憶装置に接  
続されて該両記憶装置の作用を制御するための制  
御回路装置とを含み、

該制御回路装置は、

前記の複数の指令モジュールから前記メモリ  
ー・指令を受取るための前記1つのポートに接続さ  
れた入力レジスタと、前記指令を復号し、かつ前記補助記憶装置およ  
びカフシエ記憶装置におけるメモリーの操作タイ  
クルを開始するための信号を生成するため前記入  
力レジスタ装置に接続される指令復号回路と、前記インターフェース・ポートの1つに接続さ  
れる入力データ・スイツチング装置とを有し、該  
スイツチング装置は、前記第1のタイプのメモリ  
ー・指令を伴う前記データを受取るための第1の入  
力装置と、前記第1のタイプの各指令に応じて  
1操作サイクルの間読出されるワードを受取るた  
め前記補助記憶装置に作用的に接続される第2の  
入力装置と、前記カフシエ記憶装置と補助記憶装  
置に結合される出力装置を有し、更に前記データ・

(2)

スイッチング装置は、前記メモリ・操作タイクルの間前記補助記憶装置から読出された前記ワードに前記指令を伴う前記データを組み合わせる事から生じる更新データを前記出力装置に与え、

更に、前記制御回路装置は、各々が特定の情報ブロックが前記カッシー記憶装置のどこに記憶されているかを表示するブロックアドレスを記憶するための、前記カッシー記憶装置におけるブロック数と対応する複数値のワード場所を含む登録記憶装置と、

前記メモリ・指令に反応して前記登録記憶装置から読出されるブロック・アドレスと、前記メモリ・指令の前記アドレスとを比較するため前記登録記憶装置と前記入力レジスタ装置とに接続され、其であるアドレス比較を表示する出力比較信号を発生する比較装置と、

前記比較装置と前記指令復号装置に接続され、前記第1のタイプの指令により指定される情報ワードのブロックが前記カッシー記憶装置に記憶される時を表示するため前記出力比較信号に反応し

(3)

記カッシー記憶セクションは、

前記ブロックを記憶するためのカッシー記憶装置と、

各々が特定の情報ブロックが前記カッシー記憶装置に記憶される事を表示するブロックアドレスを記憶するための、前記カッシー記憶装置のブロック数と同数の複数値のワード場所を含む登録記憶装置と、

前記操作のメモリ・タイクルの間前記登録記憶装置から読出されるブロック・アドレスと前記指令の前記アドレスを比較する装置と前記登録記憶装置とに接続され、アドレス・マッチに反応して出力比較信号を生成する比較回路装置と、

前記比較回路装置と前記指令復号装置に接続され、前記出力比較信号に反応して作用し前記アドレス・マッチを表示するヒット信号を記憶するヒット・レジスタ装置とを有し、

前記局部メモリ・モジュールは、更に、

対応する数の補助記憶装置の操作タイクルの間前記メモリ・指令に反応してワード・ブロックを

(5)

特開753-108747(2)

てヒット信号を生成するヒット制御装置とを有し、

前記指令復号回路装置は、前記ヒット信号により条件付けされる時、前記カッシー記憶装置が前記更新データを同じアドレスに書き込む事を可能にしてこれにより実行情報への迅速なアクセスを容易にするため、制御信号を生成する前記第1のタイプの各メモリ・指令に反応して作用する事を特徴とするデータ処理システム、

(2) 複数値の指令モジュール間で1つの局部メモリ・モジュールへのアクセスを共有するための入出力システムにおいて、

前記各指令モジュールは、

メモリ・指令を生成するための指令生成装置を有し、各書き込みメモリ・指令は前記指令を伴う多数のデータ・ワードが記憶される前記局部メモリ・モジュールにおける1つの場所を表示する1アドレスを有し、

前記局部メモリ・モジュールは、

情報ブロックを記憶してこれに対する迅速なアクセスを行うカッシー記憶セクションを有し、前

(4)

記するための補助記憶セクションと、

前記カッシー記憶セクションと、補助記憶セクションと前記各指令モジュールとに接続され、前記補助記憶セクションに記憶されたワード・ブロックを更新するための補助記憶装置の操作タイクルの読出し部分において、前記補助記憶セクションから読出されたワードと前記の数のデータ・ワードを組み合わせるための入力セクションと、

前記カッシー記憶セクションと、補助記憶セクションと、前記各指令モジュールとに接続された出力セクションと、

前記入力セクションと、出分セクションと、カッシー記憶セクションと、補助記憶セクションとに接続された制御回路セクションとを有し、該制御回路セクションは、

前記メモリ・指令を受取るため前記入力セクションに接続されたレジスタ装置と、

前記指令を復号し、前記補助記憶セクションとカッシー記憶セクションにおいて操作のメモリ・タイクルを開始するための信号を生成するため前

(6)

記入力装置に接続される指令復号回路装置とを有し、

該指令復号回路装置は、前記ヒット信号により条件付けされる時、前記書き込み指令に回答して作用し、前記カッシー記憶装置と補助記憶装置の両者が前記更新情報ワードを内部に書き込みを可能にするため制御信号を生成する事と特徴とする入出力システム、

(3) 各々が1ブロックのワード場所を規定する複数のワード場所を含む、情報ワード記憶のための補助記憶装置と、

各々が1ブロックのワード場所を規定する複数のワード場所を有する、情報ワード・ブロックを記憶するカッシー記憶装置と、

前記カッシー記憶装置におけるブロック数と同数であり、特定の情報ブロックが前記カッシー記憶装置のどこに記憶されるかを表示するブロック・アドレスを各々が記憶する複数のワード場所を含む登録記憶装置と、

前記カッシー記憶装置と補助記憶装置に作用的

(7)

記補助記憶装置に接続された第2の入力装置と、

前記新データ・ワードを前記補助記憶装置から読出された前記ブロックの前記ワードと組み合わせる事から生じる前記ブロックの更新されたバージョンを与えるため前記カッシー記憶装置と補助記憶装置に接続された出力装置とを有し、

前記制御装置は更に、

前記各書き込みメモリ・指令に回答して前記登録記憶装置から読出されたブロック・アドレスと前記メモリ・指令の前記アドレスを比較し、かつあるアドレス比較に回答して出力比較信号を生成するため前記登録記憶装置と入力レジスタ装置に接続された比較装置と、

前記書き込み指令により更新されるべく指定されたブロック情報ワードが前記カッシー記憶装置に記憶される時を表示するため前記出力比較信号に回答してヒット信号を記憶するためのヒット・レジスタ装置とを有し、

前記指令復号回路装置は、前記ヒット信号により条件付けされる時、前記各書き込み指令に回答し

(9)

特開53-108747 (3)

に接続され、該両記憶装置の作用を制御するための制御装置とを設け、該制御装置は、

書き込み指令を伴う多数の新データ・ワードを内部に書き込むための操作のメモリ・サイクルの間前記ワード場所のどのブロックが照合されるかを指定するアドレスを含むよう符号化される各書き込み指令とメモリ・指令を受取るように接続される入力レジスタ装置と、

前記メモリ・指令を復号するため前記入力レジスタ装置に接続され、各書き込み指令に回答して、前記書き込み指令により指定される前記新ワードを書込むための操作のメモリ・サイクルの間前記補助記憶装置とカッシー記憶装置とを選択的に動作可能にするための制御信号を生成するよう作用する指令復号回路装置と、

入力データ・セレクト装置とを設け、該装置は、

前記指令を伴う前記新データ・ワードを受取るための第1の入力装置と、

前記操作のメモリ・サイクルの読出し部分において読出されたブロックのワードを受取るため前

(8)

て作用し、前記操作のメモリ・サイクルの間前記カッシー記憶装置と補助記憶装置が同じアドレスにおいて前記更新ブロックの書き込みを可能にするための制御信号を生成する事と特徴とするメモリ・システム、

### 3. (発明の詳細な説明)

本願に関する関連出願は次の通りである、

(1) 米国特許出願「バイパス機能を有する入力カッシー・システム」、発明者：J・カル (Calle), L.W. チェルバーグ (Chelberg),

(2) 1976年11月18日出願の米国特許出願第742,814号「メモリ・アクセス・システム」、発明者：E.F. ウェラー (Weller) III, M.G. ポータ (Porter),

本発明は、データ処理システムに関し、特にカッシー記憶装置を含むデータ処理システムに関する。

一般に、カッシー記憶装置は要求されている情報の最も最近更新されたバージョンを提供する必要があるとされる。この事を確実にを行うためには、

00

従来の技術の装置は、補助記憶装置に書き込まれる情報の一部が変更される時必要なカッシー更新操作を関連する中央処理装置に行わせる。通常この事は、補助記憶装置において更新されつゝある情報が又カッシー内に記憶される事を登録部が表示する時を信号するためカッシーの記憶登録部に無効の表示をセットする事により行われる。その後、中央処理装置は、登録部アドレスにより指定される情報が次にアクセスされる時旧い情報がカッシー記憶装置内に生じる事のないように、カッシー記憶装置から旧い情報を「フラッシュ」する事が必要となる。

前記の構成は、このような情報が多くのソース即ち装置により変更される場合に特に時間を消費するものである事が判つた。又、このような構成は前記のタイプの操作を行うために別の回路を必要とする。

従つて、本発明の主な目的は、カッシー記憶装置に記憶される情報を更新するための改善された装置の提供にある。

00

に適合して作用する制御装置を含んでいる。望ましい実施態様によれば、書き込み指令により補助記憶装置に書き込まれるよう指定される入力データを補助記憶装置から読出されたデータと組み合わせ、かつその結果をカッシーと補助の両記憶装置に入力として与える装置が設けられる。これにより、補助記憶装置に書き込まれるものと全く同じデータがカッシー記憶装置に書き込まれる事を保証する。

望ましい実施態様によれば、指令モジュールは、少くとも1つの入力プロセッサと1つのマルチプレクサ・モジュールを含み、本装置は、補助記憶装置に書き込まれつゝある情報のアドレスがこの情報がカッシー記憶装置に記憶される事を表示する登録部アドレスとマッチする時を検出するよう作用するカッシー記憶装置と関連する登録部記憶装置の回路と対応する。前記の組み合わせを行う装置は、システム・インターフェース装置からの新しいデータと補助記憶装置からの旧い出力データを受取るよう入力側を接続させたマルチ入力データ・セレクタ・スイッチに対応する。このセ

03

特開253-108747(4)

本発明の別の目的は、多数のソース即ち指令モジュールのいずれか1つにより更新が可能なメモリ記憶装置の提供にある。

これ等の目的および他の目的は、多数の指令モジュールおよび1つの局部メモリ・モジュールを含む入出力システムを有する本発明の望ましい実施態様において達成される。局部メモリ・モジュールは、補助記憶装置およびカッシー記憶装置を含んでいる。カッシー記憶装置は、補助記憶装置から前に取出された情報ブロックに対する迅速なアクセスを行う。望ましい実施態様のシステムは、更に各々が異なるモジュールの1つに接続される複数のポートを含むシステム・インターフェース装置を含んでいる。

前記局部メモリ・モジュールは、更に補助記憶装置への書き込みを必要とする指令モジュールにより与えられる情報をして、制御装置内に含まれる装置が情報が前もつてカッシー記憶装置に書き込まれる事を決定する時、カッシー記憶装置に書き込まれる事を可能にするよう各書き込みメモリ・指令

02

レクタ・スイッチは、結果として組み合わされたデータを書込むためカッシーと補助記憶装置とを与える出力側を有する。この構成のためデータ経路の数と組み合わせ回路の量が最少限度になる。

カッシー記憶装置に前もつて記憶され自動的にカッシー記憶装置に書き込まれた情報における変化を表示する各メモリ・書き込み指令を情報に伴わせる事により、時間を要するフラッシュ操作の必要をなくし、メモリ・システムの複雑さを最少限度にするものである。更に、本構成は、指令モジュールにより示される情報に対する迅速なアクセスを容易にする（即ち、「ヒット」率を向上する）。

## 図 表

第1図から判るように、本発明の原理を包含するシステムは、少くとも1つの入出力プロセッサ対（P0）200-0、システム・インターフェース装置（SIU）100、高速マルチプレクサ（HSMX）300、低速マルチプレクサ（LSMX）400、上位プロセッサ700、局部メモリ・モジュール500と主メモリ・モジュール

04

800に対応する多数のメモリー・モジュールを有する。これ等モジュールの異なる各々が、異なるタイプのインターフェース600乃至603の各々の環状配の回線を経てシステム・インターフェース装置100の多数のポートの1つに接続している。特に、入出力プロセサ200と、上位プロセサ700と、高速マルチプレクサ300は各ポートG、EおよびAに接続し、低速マルチプレクサ400とメモリー・モジュール500、500'および800はそれぞれポートJ、L M0およびRM0に接続する。

第1図の入出力システムは、多数の「駆動モジュール」、「受信モジュール」、および「メモリー・モジュール」を含むように示される。IOPプロセサ200と、上位プロセサ700と、高速マルチプレクサ300は、各々が指令を送る能力を有する駆動モジュールとして作用する。駆動モジュールは、通常ポートA乃至Hと接続する。環状の受信モジュールは3つのポートJ、KおよびLと接続する。これ等モジュールは、低速マ

09

述される如き装置の形態をとり得る。望ましい実施形態においては、入出力プロセサ200は、入出力命令の実行に必要なチャンネル・プログラムを供給終了し、システム・インターフェース装置100から受取る読み込み要求を処理し、低速マルチプレクサ400に接続されるユニット・レコード周辺装置を直接制御する。プロセサ200は、データ・インターフェース600および読み込みインターフェース602を経てポートHと接続する。

本発明の目的のためには構造上公知と考えられる低速マルチプレクサ400は、周辺アダプタを経て低速周辺装置の接続を可能とし、前記アダプタの各々は環状アダプタ・インターフェース(DAI)の回線に接続している。前記インターフェースとアダプタは、本発明の感受人に開示された米国特許第3,742,457号に記載される装置の形態を有するものでよい。低速装置には、カード・リーダー、カード・パンタ、およびプリンタが含まれる。第1図から判るように、マルチプレクサ400はプログラム可能インターフェース

07

マルチプレクサ400およびシステム・インターフェース装置100と対応し、以下に記述する如くインターフェース601の回線に与えられる指令を解釈し実行する事ができる装置である。環状のグループのモジュールは、局部メモリー・モジュールと、インターフェース603の回線に与えられる2つの異なるタイプの指令を実行する事が可能な主システムの如きリモート・メモリー・モジュールを構成する。

第1図の入出力システムは、各々更に詳細に以下に記述するデータ・インターフェースとプログラム可能インターフェースとそれぞれ対応するインターフェース600および601を介して通常ポートFと接続する上位プロセサ700により生じる入出力命令に反応して入出力サブシステムとして作用する。ポートFとEは、第1図のマルチプレクサ又はプロセサ・モジュールのいずれかの接続を可能にするためのインターフェースを含む。

本発明の目的のため、プロセサ700は構造上は公知であり、米国特許第3,413,613号に記

08

601を経てポートJと接続する。

高速マルチプレクサ300は、チャンネル・アダプタ302乃至305の異なるものと接続するディスク装置およびテープ装置309乃至312のグループ間の転送を制御する。最大16個のチャンネル・コントローラ・アダプタ303乃至306は、更にチャンネル・アダプタ・インターフェース(CAI)301-1のインターフェースを経て異なるポート即ちチャンネル0乃至3と更に接続する。高速マルチプレクサ300は、データ・インターフェース600と、プログラム可能インターフェース601と、読み込みインターフェース602とに対応するポートAに接続する。

本発明の目的に対しては各チャンネル・コントローラ・アダプタ302乃至305は構造上公知と考えられ、前述の米国特許第3,742,457号に記載されたコントローラ・アダプタの形態をとり得る。

前述の如く、各モジュールはシステム・インターフェース装置100の異なるポートと接続する。

08

この値100は、対をなすモジュール間のデータおよび制御情報の伝送を可能にする伝送経路を経て異なるモジュールの相互の接続を制御する。本発明の目的に対しては、システム・インターフェース値100は、要求側のモジュールが最高の優先順位を有しかつ次の利用可能なメモリー・タイグルを与えられる時、局部メモリー・モジュール500に対して「能動」モジュールの各々でデータの出入り伝送を可能とするスイツチング回路網として考えられる。即ち、前述の如く、値100は、各能動モジュールからの要求の相対的優先順位を決定する優先順位論理回路を含み、次に利用可能なメモリー・タイグルを受取つた最上順位の要求に与える。

更に、値100は、各モジュールから受取る割込み要求の相対的優先順位を決定する割込み単位論理回路を含み、受取つた最高優先順位の要求を識別し、前述の如くスイツチング回路網を経てプロセサ200に対して要求を送る。

ポート・インターフェース

09

複数のSIUからのマルチポート識別子回路(MIFS0~3, P)、SIUからの2倍精度回路(DPFS)、および状況受入れ回路(AST)からなる。このインターフェース回路については更に詳細に以下の各項で記述する。

データ・インターフェース回路

記号	説 明
AOPR	能動出力ポート要求回路は各能動モジュールからSIU100に存在する一方向性回路である。セットされると、この回路は、指令即ちデータが送られる伝送経路をモジュールが要求する事をSIUに信号する。

DTS00~35, P0~P3 データ経路回路は、各能動モジュール間に存在する4バイトの巾の一方向性経路(4つの10ビット・バイト)であり、各能動モジュールからSIU100へ指令即ちデータを転送するために使用

20

第1図の各モジュールについて更に詳細に記述する前に、前に述べたインターフェース600の至603の各々について第5図乃至第8図に関して以下に説明する。

最初に、第5図において、同図は能動モジュールとシステム・インターフェース値100との間に情報の交換を行うインターフェースの1つであるデータ・インターフェースを構成する各回路を示す事が判る。この交換作用は、「ダイアログ」と呼ばれる一連の信号に基いて構成される予め定められた規則に従つて各信号回路の論理の状態を制御する事により行われる。

第5図から判るように、インターフェースは、能動出力ポート要求回路(AOPR)、複数の対SIUデータ回路(DTS00~DTS35, P0~P3)、複数の対SIU検向データ回路(SDTS0~6, P)、複数の対SIUマルチポート識別子回路(MITS0~3, P)、受入れ能動要求回路(ARA)、脱出しデータ受入れ回路(ARDA)、複数のSIUからのデータバス回路(DFS00~35, P0~P3)、

21

される。

SDTS0~6 P 対SIU検向データ回路は各能動モジュールからSIU100に存在する。これ等の回路は、回路AOPRがセットされる時操作制御情報をSIU100に与えるために使用される。検向制御情報は、下記の如く符号化される7ビットと1つのパリティ・ビットからなる。

- (a)ビット0の状態-DTS回路に与えられた指令のタイプ(指令がプログラム可能インターフェース指令又はメモリー指令かどうか)。
- (b)ビット1~4はどのモジュールが指令を受取り割込みかを表示するよう符号化される(指令はメモリー・モジュールによつてのみ解釈され、プログラム可能インターフェース指令は入出力プロセサ200を除く全てのモジュールより解

22

表される)。

(c) ビット 5 の状態は、指令情報の 1  
スは 2 ワードが要求側の能動モジ  
ュールと表示された受取り側のモ  
ジューンとの間に伝送されるかど  
うかを表示する。(1 ワードは単  
精度伝送を、2 ワードは 2 倍精度  
伝送を指定する。)

(d) ビット 6 の状態は、要求側のモジ  
ュールと表示された受取りモジ  
ューン間の伝送方向を表示する。

(e) ビット P は、SIU 100 に含まれ  
る状態により検査される要求側の  
能動モジューンにより生成される  
パリティ・ビットである。

WITS0-3, P 4 つの対 SIU マルチポート識別  
子回路は能動モジューンから SIU  
100 伝送する。これ等の回路  
は、能動モジューン内のどのサブ  
チャンネル又はポートが回路 AOPR

四

路(4 つの 10 ビット・バイト)  
である別のセプトのデータ経路回  
路である。これ等の回路セプトは、  
SIU 100 により使用され脱出し  
タイプ・データを能動モジューン  
の表示された 1 つに伝送する。

MIFS0-3, P 4 つのマルチポート識別子回路ブ  
ラス寄放パリティ回路は、SIU  
100 から各能動モジューン伝送  
する。これ等回路は、能動モジ  
ューンのどのポート即ちサブチャ  
ンネルが SIU 100 からの前の脱  
出し操作のデータを受入れるかを  
表示するよう符号化される。

DPFS SIU からの 2 倍精度回路は、  
SIU から各能動モジューン伝送  
する。この回路の状態は、脱出  
されたデータの 1 つ又は 2 つのワ  
ードが能動モジューンにより受入  
れられて伝送(脱出し指令)を完

四

ARRA

のセプティングを意味したかを表  
示するよう符号化されている。

受入れ能動要求回路は SIU 100  
から能動モジューンの各々に伝送  
する。この回路は、表示された受  
取り側のモジューンがデータ・イ  
ンターフェース回路からの要求さ  
れた情報をモジューンに取除かせ  
る能動モジューンの要求を受入れ  
た事を表示するようセプトされる。

ARDA

脱出しデータ受入れ回路は SIU  
から各能動モジューン伝送する。  
この回路は SIU 100 によりセプ  
トされて、能動モジューンに対し  
てこれが表示されたモジューンか  
ら前に要求されたデータを受入れ  
るべき事を表示する。

DFS00-35, P0-P3 SIU からのデータ回路は、  
SIU から各能動モジューン伝送  
する 4 バイト巾の一方方向性の経

四

了するかどうかを表示する。

AST

受入れ状況回路は SIU 100 から  
各能動モジューン伝送する。回  
路 ARDA を互いに含まないこの回  
路の状態は、能動モジューンに  
して DFS 回路に与えられる状況  
情報を受入れるべき事を信号する。

第 5 図に示されるプログラム可能インター  
フェース 601 の回路は、能動モジューンおよび表  
示されたモジューンからの指令情報の伝送を行う。  
この伝送は、「ダイアログ」と呼ばれる一連の  
信号により編成される予め定められた規則に従い各値  
の信号回路の状態の論理回路を制御する事により  
行われる。プログラム可能インターフェースは、  
プログラム可能インターフェース指令受入れ回路  
(APC)、複数個の SIU からのプログラム可  
能インターフェースデータ回路(PDFS00-35,  
P0-P3)、プログラム可能インターフェース使用  
可能回路(PIR)、脱出しデータ伝送要求回路  
(RDTR)、複数個の対 SIU プログラム可能イン

四



タ・フエ-ス・データ回路 (PDTS00~35, PO~P3), および読出しデータ受入れ回路 (RDAA) を含んでいる。インターフェ-ス回路については以下に更に詳細に記述される。

#### プログラム可能インターフェ-ス回路

表 示	説 明
APC	プログラム可能インターフェ-ス指令受入れ回路は、SIU100 から各受取りモジュールに送達する。セツトされると、この回路はモジュールに対して指令情報がSIUによりインターフェ-スのPDFS回路に与えられた事、モジュールにより受入れられるべき事を信号する。

PDFS00~35, PO~P3 SIUからのプログラム可能インターフェ-ス・データ回路は、SIU100 から各モジュールに送達する4バイト巾の一方方向性の経路(4つの10ビット・バイト)

切

RDTR データ伝送要求読出し回路は、プログラム可能インターフェ-スに接続された各モジュールからSIU100に送達する。セツトされると、この回路は、前に要求された読出しデータが1モジュールへの伝送に使用でき、このモジュールにより回路PDTSに与えられた事を表示する。

RDAA 受入れられたデータ読出し回路はSIU100 から各モジュールに送達する。セツトされると、この回路は、モジュールに対して回路PDTSに与えられたデータが受入れられた事、およびこのモジュールがこれ等の回路から情報を除去できる事を表示する。

別のインターフェ-スは、入出力プロセサ200により読み取理を行う第5c図の読み込みインター

切

回路で53-108747(6) (イト)である。これ等回路は、システム・インターフェ-スから表示される受取りモジュールにプログラム可能インターフェ-ス情報を与える。

PIR プログラム可能インターフェ-ス使用可能回路は各モジュールからSIUに送達する。セツトされる時、この回路は、このモジュールが回路PDFSに与えられるべき指令を受入れる用意がある事を表示する。

PDTS00~35, PO~P3 対SIUプログラム可能インターフェ-ス・データ回路は、各モジュールからSIU100に送達する4バイト巾の一方方向性の経路(4つの10ビット・バイト)である。これ等回路は、プログラム可能インターフェ-ス情報をSIUに対して伝送するために使

切

-フェ-ス602である。即ち、このインターフェ-スは、処理のためSIU100による入出力プロセサ200に対する読み込み情報の伝送と同様にSIU100に対する読込モジュールによる読み込み情報の伝送を可能にする。他のインターフェ-スと同様に、読み込み要求の伝達は、「ダイマコ-グ」と呼ばれる一連の信号により構成された予め定められた規則に従って各種の信号回路の論理状態を制御する事により行われる。

このインターフェ-スは、読み込み要求回路(IR)、複数読込の読み込みデータ回路(IDA00~11, PO~P1), およびポートA乃至Jに接続されたモジュールに対する複数読込のマルチポート識別子読み込み回路(IMID00~03)を有する。ポートGおよびHに接続されるモジュールに対しては、読み込みインターフェ-スは更にレベル零存在回路(LZP)に対して、更に上位の読み込み存在回路(HLIP), 読み込みデータ要求回路(IDR), 解放回路(RLS), および複数読込の読込読みレベル回路(AILO~2)を含んでいる。第5c図から判るように、判

切

込みインターフェースポートGおよびHは読みマルチポート識別子回路は含まない。読みインターフェース回路については以下に更に詳細に記述する。

#### 読みインターフェース回路

記号	説 明
IR	読み要求回路は各モジュールからSIU100 応答する。セフトされると、この回路はSIUに対してサービスを必要とする事を表示する。
IDA, 0-3, P0	読みデータ回路は能動モジュールからSIU100 応答する。
IDA4-11, P1	これ等回路は、読み要求がプロセッサにより受入れられた時入出力プロセッサに伝送されるべく要求される制御情報を含むよう符号化される。これ等ビットは下記の如く符号化される。即ち、 (a) ビット0の状態は2つのプロセッサ

00

LZP	レベル存在回路はSIU100 から入出力プロセッサ200 応答する。セフトされる時、この回路はSIU100 によりプロセッサ200 へ指向される最高順位(レベル0 読み)要求がある事を表示する、より上位のレベル読み存在回路はSIUから入出力プロセッサに伝送する。セフトされる時、この回路は、プロセッサ200 により実行されつゝある手順即ちプロセスよりも高いレベル即ち優先順位を有する読み要求がある事を表示する。
HLIP	
IDR	読みデータ要求回路は入出力プロセッサ200 からSIU100 応答

03

特開53-108747 (2)

の内のどちら(即ち、プロセッサ番号)が読み要求を処理すべきかをSIU100 に対して指定する。  
(b) ビット1-3は読み要求の優先順位即ちレベル番号をSIU100 に対して表示するよう符号化される。

(c) ビットP0はビット0-3に対するパリティ・ビットである、

(d) ビット4-8は、読みを処理するための適正な手順を照会するための入出力プロセッサ200 により生成される事を要求されたアドレスの一部(即ち、読み制御ブロック番号ICBN)を与えるよう符号化される。

(e) ビットP1はビット4-11に対するパリティ・ビットである。

IMID00-03 マルチポート識別子読み回路は各能動モジュールからSIU

02

RLS	在する。セフトされると、この回路は読みデータがSIU100 により回路DFS上のプロセッサに対して送られるべき事を表示する。
AIL0-2	解放回路は入出力プロセッサ200 からSIU100 応答する。この回路は、セフトされる時、プロセッサ200 が実行手順の実行を完了した事を表示する。
	能動読みレベル回路はSIUから入出力プロセッサ200 応答する。これ等回路は、プロセッサ200 により実行されつゝある手順の読みレベル番号を表示するよう符号化される。

第1図のモジュールのあるものにより使用される解放の読み回路のセフトは第5d図の局部メモリ・インターフェース回路に対応する。局部メモリ・インターフェース603は、局部メモリ-500とシステム各モジュール間伝送の

04

交換を行う。この交換は、「ダイアログ」と呼ばれる一連の信号により構成される予め定められた規則に従って各種の信号インターフェース回線の論理的状態を制御する事により行われる。局部メモリ・インターフェースは、複数個の対メモリ・データ回線(DTM00~35, P0~P3)、複数個の対メモリ・要求識別子回線(RITM0~7, P0~P1)、複数個の対メモリ・指定回線(SLTM0~3, P)、PI指令受入れ回線(APC)、ZAC指令受入れ回線(AZC)、PIインターフェース使用可能回線(PIR)、ZACインターフェース使用可能回線(ZIR)、データ転送要求脱出し回線(RDTR)、複数個のメモリからのデータ回線(DFM00~35, P0~P3)、複数個のメモリからの要求識別子回線(RIFM0~7, P0~P1)、対メモリ・2倍精度回線(DPFM)、QUAD回線、受入れデータ脱出し回線(RDAA)、およびシステム・クロック回線(SYS-CLK)を含んでいる。

メモリおよびプログラム可能インターフェース指令は、インターフェースの同じ論理的データ

37

構成する。これ等の回線は、指令を開始したモジュールを識別する局部メモリに対して情報を伝えるよう符号化され、適正なモジュールに対して要求されたデータを戻すために使用される。

SLTM0~3 P この対メモリ・指定回線はSIU 100から局部メモリ・500に延在し、対メモリ・脱出し/書き込み回線、対メモリ・2倍精度回線、およびパリティ回線を含む。これ等の回線に与えられる情報信号は下記の如くである。即ち、

(a) ビット0~1は、付属モジュール内のどのポート即ちサブチャネルがモジュールに送られたメモリ・指令を受取り又は読み込むかを指示するよう符号化されたポート番号選択ビットである。

(b) ビット2は、新しい指令がSIU

37

回線から転送される。インターフェースは、読み込み要求を処理するための1組の回線を含み、従ってSIU100により局部メモリに接続されるモジュールはメモリ・読み込みを直接遂行し得ない。局部メモリ・インターフェース回線については以下に更に詳細に記述する。

#### 局部メモリ・インターフェース回線

記号	説明
DTM00~35, P0~P3	データ経路回線は、SIU 100から局部メモリ・500に延在する4バイト巾の一方向性の経路(36個の情報回線および4つの奇数パリティ回線)を形成する。これ等回線はメモリ・読み込みプログラム可能なインターフェース指令を局部メモリ・500に転送するため使用される。
RITM0~3, P0	対メモリ・リクエスト識別子は、
RITM4~7, P1	SIU100から局部メモリ・500に延在する2グループの4回線を

38

100によりメモリに送られる時、局部メモリ・500に対してSIUにより前送される駆動モジュールから受取る制御制御情報に含まれる対メモリ・脱出し/書き込みビットである。このビットの状態はデータ転送の方向を示す。

(c) ビット3は、転送されるべきデータ量を指示するよう符号化された対メモリ・2倍精度ビットである。又、これは、新しい指令がメモリ・モジュールに送られる時SIU100により局部メモリ・モジュール500に前送される駆動モジュールにより与えられる制御制御情報にも含まれる。

A Z C ZAC指令受入れ回線はSIU100から局部メモリ・モジュール500に延在する。セットされると、この回線は局部メモリ・モ

38

ジュー-ル500に信号してSIU  
100により他の回路に与えら  
れるZAC指令および制御情報を受  
入れる。このインターフェース回  
路のセッティングは、PI指令イ  
ンターフェース受入れ回路を用い  
て相互に排他的である。

APC プログラム可能インターフェース  
に備えて記述した如く、プログ  
ラム可能インターフェース指令受  
入れ回路はSIU100から局部メ  
モリー・モジュール500に存在  
する。セフトされると、この回路  
は、回路DTMに与えられた指令  
情報が局部メモリー・モジュール  
500により受入れられるべき事  
を表示する。

PIR/ZIR プログラム可能インターフェース  
使用可能回路/ZACインターフ  
ェース使用可能回路は、局部メモ  
リ

4バイト巾の一方向性バスである。  
これ等の回路は、SIU100を介  
して能動モジュールに成出し要求  
タイプデータを戻すのに使用され  
る。

RIFM0-3, PO メモリーからのリクエスト識別子  
RIFM4-7, P.1 の2つのグループは局部メモリー  
からSIU100に存在する。これ  
等の回路は、成出しデータをモジ  
ュール500から逆に要求側モジ  
ュールに指向するため符号化さ  
れている。

DPFMとQUAD メモリーからの2倍精度回路およ  
びQUAD回路は局部メモリーモジ  
ュール500からSIU100に存在  
する。これ等回路は、成出しデ  
ータ転送要求時間間隔において  
SIU100を介して要求側のモジ  
ュールに転送されるべきワード番  
号を表示するように符号化される。

40

特開433-1-6747(12)  
リ・モジュール500からSIU  
100に存在する。セフトされ  
ると、各回路は、SIU100に對し  
て、局部メモリー・モジュール  
500はプログラム可能インター  
フェース(PI)/メモリー(ZAC)  
指令を受入れる事ができる事を信  
号する。

RDTR データ転送要求成出し回路は、局  
部メモリー・モジュール500か  
らSIU100に存在する。この回  
路は、セフトされると、ZACス  
はPI指令により前に要求された  
成出しタイプデータがデータを要  
求するモジュールに送られるべき  
必要な制御情報に基づて使用可能  
である事を表示する。

DFM0-35, PO-P3 メモリーからのデータ回路  
は、局部メモリー・モジュール  
500からSIU100に存在する  
40

これ等の回路は下記の如く符号化  
される。即ち、

QUAD DPFM			
0	0	17-D	単精度
0	1	27-D	2倍精度
1	X	47-D	(何でもよい)

DSD 成出しデータ/状況識別子回路は  
局部メモリー・モジュール500  
からSIUに存在する。この回路  
の状況は、SIU100に對して、  
回路DFMに与えられる情報が成  
出しデータ又は回路RDTRがセフト  
される時の状況情報であるかど  
うかを信号する。セフトされると、  
この回路は1ワード又は2ワード  
(QUAD=0)の状況情報が転送さ  
れつゝある事を表示する。2進数  
等にセフトされると、この回路は  
4ワード迄のデータが転送されつ

40

されて共通のシステム・クロック  
・ソースから各メモリ・モジュ  
ールの各操作を同期する。

RDAA プログラム可能ターミナルに關して記述した如く、受入れデータ既出し回路はSIU100から局部メモリ・モジュールに送在する。セットされると、この回路は、メモリ・モジュールに対して、局部メモリ・モジュールよりインターフェース回路に与えられたデータが受入れられた事、および局部メモリ・モジュールがこれ等回路からのデータを除去することを信号する。

SYS-CLK システム・クロック回路は、SIU100からシステムの各モジュールに送在する回路である。この回路は、入出力プロセッサ200に内蔵されるクロック・ソースに接続

43

されたマイクロプログラムの制御下で演算処理操作を行う処理セクション204を含む。このプロセッサ内の構成のためシステムの信頼性が保証されるが、これについては前掲の米国特許出願において詳細に記述されている。

#### 制御記憶セクション201

各セクションについて更に詳細に考察すれば、制御記憶装置201-10は例えば既出し専用メモリ(ROM)を用いる固定セクションからなっている。記憶装置201-10は、セレクト・スイツチ201-14に与えられる8つのアドレス・ソースのいずれか1つからの番号を介してアドレス指定可能である。アドレス指定された場所の内容は、出力レジスタ201-15に既出され、ブロック201-16内に含まれるデコード回路により復号される。

更に、図示の如く、レジスタ201-15の内容のマイクロ命令の各フィールドの1つからの番号は、制御記憶装置201-10に対して8つの入力ソースのどれがアドレスを与えるかを選択す

43

第5a図乃至第5d図は、第1図のシステムの異なるモジュールをSIU100に接続する回路を示すが、他の回路が又例えばエラー条件および操作条件時の他の条件を信号するため含まれている事が判るであろう。第1図のモジュールにより使用される異なるタイプのインターフェースについて記述したが、本発明の理解に關するモジュールの各々については以下に更に詳細に記述する。

#### 入出力プロセッサ200-0の詳細

第2図において、対P0の各プロセッサ200に、命令を実行するための制御記憶装置201-10に記憶されたマイクロ命令に回答して制御信号を生成するよう作用するマイクロプログラムされた制御セクション201と、局部メモリ・モジュール500から取出された命令を記憶するための命令バッファ・セクション202と、記憶セクション203と、制御記憶装置201-10に記憶

44

るためのスイツチ201-14に対する入力として与えられる。レジスタ201-15に既出されたマイクロ命令は、制御記憶装置201-10を通過したマイクロプログラム・ループンに対して分岐させるアドレス常数を含んでいる。

第2図から判るように、8つの制御記憶装置のアドレスソースには次のものが含まれる。即ち、システム・インターフェース装置100とプロセッサ200に含まれる減回路により与えられる番号から得る割込み/例外信号、加算回路201-24を経てレジスタ201-22に記憶される次のアドレス情報を受取る次のアドレス・レジスタ位置、或るレジスタ201-20の戻りアドレス内容を受取る戻りアドレス・レジスタ位置、メモリ・出力レジスタ201-4を介してバスファインダ・メモリ-201-2からアドレスを受取る実行アドレス・レジスタ位置、これも又レジスタ201-4からアドレスを受取るシーケンス・アドレス・レジスタ位置、および出力レジスタ201-15から一定数値を受取る定数位置である。

45

1つのオペランド入力としてスイッチ201-14により選択されるソースの1つからのアドレス信号を受取り、他のオペランド入力としてブロック201-26のスクラップ制御回路からの信号を受取る加算回路201-24により通常の次のアドレスが生成される。このスクラップ制御回路は制御記憶レジスタ201-15に記憶された定数値により条件付けされ、前記レジスタ201-15は更に加算回路201-24に対するオペランド入力の1つとして通常の値を与える。加算回路201-24により生成される結果のアドレスは、スイッチ201-14により与えられるアドレスとブロック201-26のスクラップ制御回路により与えられる定数値の和を表示する。要約すれば、スイッチ201-14の各位は制御記憶装置201-10から読出されたマイクロ命令に反応して選択されて、プログラム命令のOPコードにより指定される操作の実行に必要とされる制御記憶装置201-10に記憶されるマイクロプログラムに対する通常のアドレスを与える。会

47

み(LZPおよびHLIP)の存在を表示する信号回路は、次のプログラム命令を実行するためのマイクロ命令シーケンスを照合する代りにマイクロ命令の読み込みシーケンスの選択を照合させる。

「例外」を表示する信号回路は、スイッチ201-14と関連する制御回路(図示せず)に与えられ、例外/読み込み位置の選択を遂行する。この動作はマイクロ命令の例外シーケンスを照合するためのアドレスを与える。実行のタイプに従って、選択するプログラム命令の実行が阻止されねばならないか不可能である(例、障害、進法命令)ためこの例外は即時処理し得る。例外は条件が即時のアテンション(例、タイムアウト、桁あふれ等)を必要としないプログラム命令の実行の完了と同時に処理される。前述の如く、例外の発生は、スイッチ201-14の例外/読み込み位置を選択させ、プロセス制御レジスタ204-22における通常のビット位置のセッティングを遂行する。

第1図にPDAとして示されるタイミング信号は、プロセッサ200の他のセクションの操作のた

48

めのOPコードは図示の如く回路201-6を経てバスアインダ・メモリ-201-2に与えられる。スイッチ201-14の戻りアドレス・レジスタは1分岐操作の結果としてプログラムの順序付けの間選択され、定数レジスタ位置にレジスタ201-15に記憶されたマイクロ命令の定数フィールドにより生成される制御記憶装置201-10における予め定められた場所への分岐操作を行うように選択される。

読み込みはプログラム命令の実行完了時に記憶される。第2図から判るように、高レベル読み込み存在(HLIP)およびレベル零読み込み(LZP)回路は信号をスイッチ201-14に与える。HLIP回路に与えられた信号はプロセス制御レジスタ204-22からの読み込み禁止信号と「AND」され、その結果はLZP回路に与えられた信号とORされる。高レベル読み込み存在信号が禁止されず、即ちLZP回路に信号が与えられる時、スイッチ201-14に選択された回路(図示せず)からの信号は実行/読み込み位置を選択する。読み

49

めのタイミング信号と共に制御セクション201に対する通常のメモリの操作サイクルを確保するため必要とされ、第1図のシステムの他のセクションはブロック201-30内に含まれるクロック回路により提供される。本発明の目的にかいては、クロック回路は第2図の他の回路と共に構成上公知と考えられ、例えば1972年にテキサス・インスツルメンツ社により刊行された「設計技術者のための演算回路カタログ」なる文献に開示された回路形態をとる事ができる。更に、このクロック回路は水晶制御による発振器とカウンタ回路を有し、スイッチ201-14は複数のデータ・セレクト/マルチプレクサ回路を有するものでよい。

前記の事から、殆んどマイクロプログラム化された制御装置における如く、制御記憶装置201-10は各プロセッサの操作サイクルに対して必要な制御を行う。即ち、1操作サイクルとの間に制御記憶装置201-10から読出された各マイクロ命令ワードは多数の別個の制御フィールドに分

50

割られ、前記フィールドは、異なるスクラッチパッド・メモリ・のアドレス指定およびオペランドの選択のための第2図の各セクタ・スイッチに対する必要な入力信号と、分岐のための各テスト条件を指定する信号と、セクション204の加減/ソフト断電の操作を制御するための信号と、指令を生成するのに必要な制御情報を与える信号とを与える。制御セクション201の操作に關する更に詳細な内容については、本発明の譲受人に譲渡されたG・W・パターソン等の米国特許第4,001,788号「バスファインダ・マイクロプログラム制御システム」を参照されたい。又、本明細書の餘部に引用した各出願も参照されたい。

#### 命令パフア・セクション202

このセクションは局部メモリ・モジュール500から取出されレジスタ204-18のデータを介して与えられる命令の4ワードを記憶するための複数個のレジスタ202-2を含んでいる。レジスタ202-2のグループは、2つの出力即ち実行命令成出し出力(CIR)と次の命令

50

える8位置のデータ・セクタ・スイッチ203-14を介してアドレス指定される。アドレス入力203-12の3つの最上位ビット位置は8組のレジスタ(即ちレベル)の1つを選択し、残りの4ビットは前記16個のレジスタの1つを選択する。SIU10U Rより活動読みレベル(ALL)回路Rと与えられた信号は、3つの最上位ビットをスクラッチパッド・アドレス入力203-12Rと与える。残りの信号はIRSWを介して与えられた命令から制御記憶レジスタ201-15即ちフィールドRにより与えられる。

読み込みアドレス・レジスタ203-22はスイッチ202-4を経てロードされ、レジスタ201-15Rに含まれるマイクロ命令の各フィールドの1つRより表示される即ち実行プログラム命令のビット9-12又はビット14-17のいずれかRに対応する信号を記憶する。従つて、読み込みアドレスレジスタは、スクラッチパッド・メモリ・203-10の汎用レジスタの1つに結果をロード即ち戻すためのアドレス記憶域を提供する。當

51

特開253-108747(4)

成出し出力(NIR)を与えるよう構成された2位置命令レジスタ・スイッチ202-4Rを構成されている。半ワード又は全ワード高命令ワードの選択は、ブロック204-12の作業レジスタの最初のものに通常記憶される実行命令カウンタ(IC)のビット位置の状態に従つて行われる。本発明の目的のためには、この構成は構造上公知のものであると考えられる。

#### 記憶セクション203

第2図から判るようR、このセクションは、各々8つの優先レベルの1つを割当てられた8つの異なるプロセスと関連する8組即ち8グループのレジスタを有するスクラッチパッド・メモリ・からなる。最上位の優先レベルはレベル0であり、最下位の優先レベルはレベル7である。各グループ即ちレベルは前述の如くR使用される16個のレジスタを含んでいる。

スクラッチパッド・メモリ・203-10は、8つのソースのいずれかからアドレス入力203-12Rに対して7ビットのアドレスを選択的に与

52

込み操作は、クロックされる書き込みフリップフロップ(図示せず)の2進数1への切換えに應答するか、レジスタ201-15Rロードされるマイクロ命令の1フィールドに應答して生じる読み込みクロック信号の生成と同時に生じる。書き込みフリップフロップRより生成される時、この書き込みクロック信号は、次のPDAクロックパルスの発生と同時に書き込みフリップフロップが2進数Rリセットされる時に生じる。この動作は、次の命令の知道の開始時に生ずるプログラム命令に關する書き込み操作の発生を許容する。

書き込みアドレス・レジスタ203-22の内容は、レジスタ203-22が0、1又は15のアドレスを記憶する度に信号を出力回路上に生じるよう作用するセクタ・スイッチ203-14を介してデコード回路203-28R与えられる。この信号は、書き込みフリップフロップが2進数1の状態にある時、ゲート回路(図示せず)Rより書き込みクロック・パルスの生成を禁止する。更にデコード回路203-28はプロセス状態レジ

53

スタ204-20からモード信号を受取る。プロセッサ200がマスター・操作モード又はスレーブ・操作モードにあるかどうかを表示する信号の状態は出力信号と「AND」され、プロセス状態レジスタ204-22に対する入力として与えられる別の出力回路上で例外信号を生じるために使用され、スイッチ201-14の内外読み込み位置の選択を遂行する。前述の如く、この作用はスクラッチパッド・メモリ-203-10のプロセス状態レジスタ場所(GR0)の内容の変更を阻止する。

アドレス指定されたレジスタ場所の内容は第1の2位置データ・セレクト・スイッチ203-18を介してスクラッチ・バッファ・レジスタ203-16に転出される。次にこのバッファ・レジスタ203-16の内容は別の2位置データ・セレクト・スイッチ203-20を介して処理セクション204に選択的に与えられる。データ・セレクト・スイッチ203-14、203-18、および203-20の各々の各位置は、レジスタ201-15に転出されたマイクロ命令に含まれ

59

は照合のため必要なプロセス状態レジスタの内容に対するアクセスの精度のため、このレジスタの内容を表示する信号は処理セクション204のレジスタの1つ(即ち、レジスタ204-20)に記憶される。このように、プロセス状態レジスタの内容を記憶するための汎用レジスタの記憶場所は、読み込みの発生と同時にセクション204のプロセス状態レジスタの現在値を記憶するよう作用する。

各グループのレジスタは更に関連するプロセスの執行命令のアドレスを記憶するための命令カウンタ(汎用レジスタ1)を含んでいる。更に、各グループのレジスタは、ページテーブル基址レジスタ(汎用レジスタ15)と、オペランドおよびアドレス情報のための一時的記憶を与えるための多数の汎用レジスタ(汎用レジスタ2-14)を含んでいる。このスクラッチパッド・メモリ-203-10は又、局部メモリ・モジュール500に記憶される例外制御ブロックおよび読み込み制御ブロック・テーブルのベースを指示する絶

60

る異なるフィールドにより選択可能である。スクラッチパッド・メモリ-203-10は、ブロック204-12の4つの作業レジスタのいずれかに選択的に選択された1対の出力バスの1つから与えられるデータ信号を受取る。

16個のレジスタの各組は、執行プロセスの制御に必須の情報を記憶するためのプロセス状態レジスタ(PSR)場所(汎用レジスタ0)を含んでいる。レジスタの最初の8ビット位置は読み込みモジュールを識別するよう符号化された機内情報を記憶する。次の位置は、操作のモード(即ち、マスター又はスレーブ)を識別するよう符号化された特権ビット位置である。このレジスタは又、レジスタ内容が変更できるかどうかを表示するよう符号化された外部レジスタ・ビット位置と、アドレス・モード・ビット位置と、2つの条件コード・ビット位置と、格送りビット位置と、関連するプロセスが活動中(即ち、「プロセス・タイマ-」として作用)周期的に減分されるカウンタを記憶するための22ビット位置を含む。変更又

60

対アドレスを記憶する制御ブロック・ベース(CBB)レジスタ場所を含んでいる。決して変更されない最上位優先順位レジスタの組(レベル0)の第1のレジスタGR0は、制御ブロック・ベースの情報を記憶する。読み込み制御ブロック(ICB)テーブルは、読み込みのタイプを処理するための情報を記憶する256グループの記憶場所を含んでいる。例外制御ブロック(ECB)テーブルは、例外のタイプを処理するための情報を記憶する16グループの記憶場所を含んでいる。

例外は、16の例外処理ルーチンの1つにプロセッサ200を自動的に入れるプロセッサ検出条件である。この例外条件は、プロセッサがマスター・モードに入る時プログラム命令のビット10-13に対応する4ビットの例外番号により識別される。他の全ての場合には、例外番号は零である。例外番号(ECB#)は、例外処理ルーチンを指示する4ワード例外制御ブロック(ECB)の1つの識別に使用される。ECBのバイト・アドレスは、制御ブロック・ベース(CBB)-16(ECB#

60



+1)に等しい。各ECBは、プロセサ200が例外ルーチンに入る前に実行プロセスに関する情報を記憶するためのスタック域として作用する保管域ポインタに加え、PSR、ICおよびPTBRレジスタをロードする値を含んでいる。

読み込み制御ブロック(ICB)のアドレスは、制御ブロック・ベース(CBB)+16(ICB#)に等しい。このICB#は前述の読み込みワードから得られる。同様に、ICBは4ワード・ブロックであり、PSR、IC、GR14およびPTBRレジスタに対する値を含んでいる。

#### 処理セクション204

このセクションは、プログラム命令の処理に必要な演算論理操作の全てを行う。該セクション204は、1対の36ビットのオペランドに対して演算、シフトおよび論理的操作を行う事が可能な加算/シフト装置204-1を含む。本装置204-1の加算装置部分又はシフト装置部分のいずれかにより生じた結果はマイクロ命令に回答して送られ、その後ブロック204-12の作

69

およびスタックパッド・パツファ入力スイッチ203-18)からロードできる。このレジスタがロードされると、レジスタをロードするため必要な番込み信号はレジスタ201-15に送出されるマイクロ命令に含まれるフィールドにより確立される。

第2図から判るように、前記レジスタは1対の出力バスWRPとWRRに接続される。バスWRPはアドレス入力204-5と、スイッチ203-18と、スタックパッド・メモリ-203-10に接続する。バスWRRはAオペランド・スイッチ203-20と、Bオペランド・スイッチ204-1と、レジスタ204-20と、レジスタ204-22に接続する。バスWRRおよびWRPに対して接続するため送られたレジスタは、レジスタ201-15に送出されたマイクロ命令内に含まれる1対のフィールドにより示される。

第2図から判るように、処理セクション204はプロセス制御レジスタ204-20とプロセス制御レジスタ204-22を含んでいる。前述の

69

特開昭53-108747(16)

レジスタのいずれか1つおよびデータ出力レジスタ204-14に対して1対の出方回路上の4位置データ・セレクタ・スイッチ204-8を介して選択的に転送される。データ出力レジスタ204-14はプロセサ・データ・インターフェース600の回路に接続する。

本発明の目的に対しては、加算/シフト装置204-1は構造上公知のものと考えられる。又、同装置204-1は、J・P・スタッフォード(Stafford)の米国特許第3,811,139号に開示された如き回路又は本明細書に引用された他の米国特許出願に開示された回路のいずれかを含んでもよい。

ブロック204-12は、命令カウンタのためおよび命令の実行中アドレスのための一時的記憶を提供する4つの作業レジスタR0乃至R3を含んでいる。このレジスタは、スイッチ204-8に接続されたソースの内のいずれか1つ(即ち、加算/シフト装置204-1、アドレス・スイッチ204-6、PSR/PCRスイッチ204-24、

69

如くプロセス状態レジスタ204-20は出力バスWRRを介してスタックパッド・メモリ-203-10からロードされる。プロセス制御レジスタ204-22は8つの全ての読み込みレベルに共通の36ビット・レジスタである。

プロセス制御レジスタ204-22のビット位置は下記の情報を含んでいる。ビット位置0~8は下記を含む異なるタイプのマスター・モードでない例外を表示する。即ち、

PCRビット位置	内 外 型 式
0	未完了操作、回路ARA又はARDA上のSIU100からの応答なし
1	ページ・アドレスは無効状態(検査)
2	ページ・アクセス異常
3	ページはメモリ・中に存在せず
4	途切操作
5	プロセス・タイマーはランアウト
6	桁あふれ
7	ロックアップ障害

69

# 8 アドレス位置合せ不良

「故障」なる用語に必ずしもハードウェアの故障発生を意味するものでなくエラー条件等も含むものである。

ビット位置9～15はパリティ・エラーの場所を識別し、ビット位置23～26はPNIDおよびAIシ回路から受取ったプロセッサ番号とレベルを識別する。ビット位置27は読み込み禁止ビット位置であり、ビット位置28～35は2進数1にセットされる時ビット位置に対応するレベル（例、ビット28＝レベル0）における読み込みを表示する読み込み要求ビットを記憶する。ビット位置27～35は出力バスWRRを介してブロック204-12のレジスタ列からのプログラム命令にロード可能である。レジスタ204-20と204-22の各々の内容は、2位置データ・セレクト・スイッチ204-24を介して4位置データ・セレクト・スイッチ204-8の位置の他の1つに対して入力として選択的に与えられる。レジスタ204-20は又、2位置読取セレクト・スイ

63

あるか、又脱出し操作サイクルか読み込み操作サイクルであるかどうか表示するよう符号化されたマイクロ命令のフィールドの1つのビットに対応する。1メモリ・サイクルの開始即ち1指令の開始と同時に、換向スイッチ204-10からの信号はプロセッサ200のデータ・インターフェース600の通常の回路に対して信号を与える換向レジスタ204-16にロードされる。前に述べたように、別の換向情報を含む指令はPI指令の場合におけるアドレス・スイッチ204-6の位置2に与えられる。

又図2図から判るように、処置セクション204は、WRRバスに接続されたレジスタの1つからアドレス信号を受取るアドレス入力204-5を介してアドレス指定可能なスクラッチパッド・メモリ-204-4を含んでいる。スクラッチパッド・メモリ-204-4は、局部メモリ・モジュール500をアドレス指定するための絶対アドレスの生成に使用される8つの読み込みレベルの各々に対してページ・テーブル・アドレス記憶を提

65

特開53-108747

ッチ204-10と4位置アドレスセレクト・スイッチ204-6のPI位置に接続する。

換向スイッチ204-10は、逐次モジュールに対して指令を転送するための使用されるSIO100に換向情報を与える。レジスタ201-15に記憶されたマイクロ命令に含まれるフィールドの1つはメモリ・指令又はPI指令のいずれかに基づいて適切な位置を選択する。メモリ・指令のための換向情報は、マイクロ命令に含まれるフィールドから、スクラッチパッド・メモリ-204-4からのページを付したアドレス情報又はバスWRRからの絶対アドレス情報を用いて生成される。

R/W指令に対しては、換向情報は下記の如く生成される。即ち、ビット0はR/W指令に対する2進数等であり、ビット1は局部/リモート・メモリを規定しかつPTWビット0（ページ行き）又はWRPビット0（絶対）に対応する。ビット2～4はPTW1～3（ページ行き）又はWRPビット1～3（絶対）に対応する。ビット5～6は、これが半ワード又は2倍ワード転送で

64

供する。アドレス指定される時、スクラッチパッド・メモリ-204-4の記憶場所の内容は、アドレス・スイッチ204-6の4位置の内2つに読出される。これ等の2つの位置は局部メモリ・モジュール500のページ照合のために使用される。スクラッチパッド・メモリ-204-4のページ付け操作は毎に本発明に開示するものではないため、本文では詳細な説明は行わない。

アドレス・セレクト・スイッチ204-6の他の2つの位置はメモリ・即ちPI指令を与えるために用いられる。特に、アドレス・スイッチ204-6の位置1は、レジスタ201-15に記憶されたマイクロ命令ワードのアドレス制約フィールドにより選択される時、マイクロ命令ワードの予め定められたフィールドに従ってビット0～8を含み、かつメモリ-204-4からのページ付けされたアドレス情報かブロック204-12の作業レジスタに出力バスWRRに与えられた絶対アドレス・ビットに対応するよう符号化されたビット9～35を含むR/Wメモリ・指令情報を

66

生成する。スイッチ204-6のP1位置が選択される時、このスイッチは、ビット0が2進数であり、ビット1はレジスタ201-15に記憶されるマイクロ命令ワードの1フィールドにより与えられ、ビット2はPSRレジスタ204-20のビット9により与えられかつ後プロセスがある外部のレジスタを指定できるかどうかを規定し、ビット5-8はレジスタ204-20のビット4-7に等しくかつモジュール内のポート即ちサブチャンネルを規定し、ビット3はSIU100により与えられるプロセッサ番号を指定するよう符号化され、ビット4は零であり、ビット9-35はP1指令の絶対アドレスに対応するパスワードのビット9-35に等しいプログラム可能インターフェイス指令ワードを生成する。

#### 局部メモリー・モジュール500の詳細

図4は、本発明のシステムおよび本発明の指示内容に従う局部メモリー・モジュール500の望ましい実施態様を含むブロックを示す。同図において、モジュール500は、カッシュ記憶セ

60

含む8つのバイト・セクションに分割されている。各回路チップは、各ワードが4バイト(バイト=9データ・ビット+1パリティ・ビット)を有する4つの40ビット・ワードに各ブロックが規定される64ブロックのアドレス場所即ち256のアドレス場所の容量を提供するチップの合計数を有する128のアドレス指定可能な2ビット巾の記憶域を含んでいる。

登録記憶装置500-22は各カッシュ・ブロックのアドレスを記憶し、同時に4レベルに構成されている。装置500-22は、どのレベルのカッシュが次の操作サイクルの間書き込まれるかを決定するためのラウンド・ロビン・カウンタ装置(図示せず)を含む。カッシュの異なるレベルは80ビットのコラムを規定し、カッシュ・ブロックは2つのこのようなコラムを含んでいる。登録記憶装置500-22はこのようにカッシュ内のブロック数に対応するコラム数に分割されている。本発明の目的のためには、本構成は構造上公知と考えられ、R・E・ランジ(Lange)等の米

69

特許第3,874,713

クション500-2、補助記憶装置500-4、入力レジスタ・セクション500-12、制御回路セクション500-6、入力スイッチ・セクション500-8、出力スイッチ・セクション500-10から図示の如く構成される事が、出力スイッチ・セクション500-10と入力レジスタ・セクション500-12に、以下に説明するようにSIU100を介してプロセッサPO又はマルチプレクサ・モジュール300のいずれかに対してデータおよび制御情報を送受する。

図6図に更に詳細に示されるカッシュ記憶セクション500-2は、関連する制御回路500-21を有するカッシュ500-20と、関連する比較回路500-24を有する登録装置500-22と、ヒット検出回路500-28と、制御回路500-26とを前記の如く構成している。カッシュ記憶装置は4つのレベル即ちセクションに構成され、その各々が構造的に公知の複数のパイポーラ回路チップから構成されている。各レベルは、夫々5つのパイポーラ回路チップを

68

図特許第3,874,714号に開示された構造と関連させる事ができる。1カッシュ操作サイクルの間、4バイトが8つのセレクト回路の1つの番号を介して出力マルチプレクサ・スイッチ500-10に送出される。

登録記憶装置500-22はブロック500-24の比較回路に対してアドレス信号を与える。構造的には公知のこれ等回路は、要求されている情報が4レベルの内のいずれかにおけるカッシュに存在する(即ちヒットの存在)かどうかを検出するよう作用する。比較回路500-24は比較の結果をブロック500-28のヒット回路に与える。ヒット回路500-28は更に、ブロック500-6の制御回路に対して入力として与えられるヒット表示を記憶する。補助記憶セクション500-4は、補助記憶装置500-40と、タイミング回路500-48と、16ビットの出力レジスタ500-42と、データ訂正兼パリティ発生回路500-44と、ブロック500-46の多数の制御回路とを前記に示す如く構成して

67

-2-

なる。図500-48はカウンタ回路および遅延回路回路を含んでいる。これは概略上は公知であるが、メモリ・モジュール500-2の全操作を同期させるためのタイミング制御信号を与える。

補助記憶装置500-40は、構造上は公知の4KのMOSメモリ・チップから構成され、各ワードが40ビット(32Kブロック)を有する128Kのメモリ・ワード容量を有する。データ訂正誤り検出回路は、補助記憶装置500-40から読出されかつこれに書込まれるワードにおけるエラーを検出して訂正するよう作用する。本発明の目的のためには、これ等回路は構造上公知のものと考えられる事ができる。

第6図から判るように、入力レジスタ・セクションはゾーン、アドレス減指令(ZAC)レジスタ500-120、第1のワード・パツファ・レジスタ500-122と第2のワード・パツファ・レジスタ500-123を図示の如く結合してなる、ZACレジスタ500-120は第8図に

00

ブロック500-6の制御回路は、ZACレジスタ500-120に記憶された指令により指定される操作を実行するための内部メモリ・モジュールの異なる部分を付勢するための各種の制御信号・タイミング信号を生成する。これは、補助記憶装置500-40に書込まれ、又補助記憶装置500-40とカッシー500-20からそれぞれ読出されるデータ信号のグループを選択するため入力マルチプレクサ・スイツチ500-8および出力マルチプレクサ・スイツチ500-10に対する制御信号の分配動作を含んでいる。本発明の目的に対しては、以下に記述する第7図の制御回路に加えて、マルチプレクサ・データ・セクタ回路およびレジスタは構造上公知と考えられ、前述のチャタス・インストルメンツ社のチャタスに開示された回路の形態をとる事ができる。

第7図はブロック500-6、500-21、500-26および500-46のあるものを変更して示している。尚ほこれによれば、ブロック500-6の制御回路は複接線のAND/NAND

00

特開昭53-108747(19)

示されたフォーマットを有するZAC指令ワードを記憶する。入力パツファ・レジスタ500-122と500-123は接続されて、リクニエタ・モジュールによりインターフェース603のD7M回路に与えられるZAC指令のデータワード(単数又は複数)を受取る。レジスタ500-122と500-123の内容は2つのマルチプレクサ・スイツチ500-8の一方の異なるバイト位置に与えられる。本発明によれば、スイツチ500-8も又、前述の如く補助記憶装置500-40とカッシー500-20に書込まれる読み合わされたデータを用いて新しい入力データと読み合わされる補助記憶装置から読出されたデータを受取る。

ZACレジスタ500-120の指令内容はブロック500-6に含まれるデコーダ・ゲート回路に与えられ、アドレス信号はブロック500-6の制御回路、並列記憶装置500-22、カッシー500-20、およびそのアドレス指定のための補助記憶装置500-40に分配される。

00

ゲート500-60乃至500-74を有する事が判る。ゲート500-60、500-61、および500-62はZACレジスタ500-120からZAC指令ビット信号およびカッシー・バイパス信号の異なるものを受取るよう接続されている。これ等の信号は図示の如く組み合わせられ、ゲート500-64および500-74に与えられる。その結果得られる読出しロードおよび書込みロード指令信号はカッシー制御回路500-21、並列制御回路500-26および補助記憶装置制御回路500-46に対して図示の如く与えられる。RCL000およびRCL100の如き他の指令信号は又補助記憶回路500-46に与えられる。

第7図から判るように、カッシー制御回路500-21は、書込みカッシー・タイミング信号WR-CACHE100を書込みクロック可能回路500-214に与える直列接続されたNAND/ANDゲート500-210および500-212を有する。書込み可能回路500-214は構造上公知

00

の論理作用ゲート回路を含み、この回路は書き込み作用サイクルの実行に必要なカッシー500-20に対する適切なタイミング信号を与える。更に、制御回路は、書き込み命令および読出し命令にそれぞれ応答して補助記憶装置500-40から80ビットの更新されたデータか1ブロックのデータのいずれかをカッシーに書き込むのに必要なアドレス・ビット32の状態を変更するよう作用する。AND/NANDゲート500-216乃至500-222を更に含んでいる。

同様に、登録制御回路は直列接続された NAND/ANDゲート500-260、500-262および500-264を含み、その最後のゲートは書き込み可能回路500-266に対して書き込み登録タイミング信号を与える。この書き込み可能回路500-266は構造上公知の論理ゲート回路を含み、これは書き込み作用サイクルの実行に必要な登録記憶装置500-22に適切なタイミング信号を与える。

補助記憶制御回路500-46は第1のグループ

四

の回路の使用可能動作が禁止される。

第7図の最後のグループの回路は第6図のヒット・レジスタ回路500-28を構成する。この回路は、図示の如く接続されたANDゲート500-281に代えてNAND/ANDゲート500-280と500-282を含む。NAND/ANDゲート500-280は、比較回路500-24からその結果生じた比較信号を受取り、ゲート500-282は登録値比較表示を与える。更にゲート500-282の出力はヒット・レジスタ・フリップフロップ500-284のセット入力に与えられる。NAND/ANDゲート500-284はフリップフロップ500-284のリセット入力に対し状態反応して与えるSIU100からの受入れZAC信号を受取る。フリップフロップ500-284からの2進数1および零の出力信号はその後の第7図のブロックの各々に対して分配される。ブロック500-478の回路は書き込み信号を生じるよう作用する公知のゲートを含む。

システム・インターフェース装置100の詳細

四

第1の直列接続されたAND/NANDゲート500-460乃至500-468を含む。これ等ゲートは補助記憶装置要求信号BSREQ100を生成し、データ信号に補助記憶装置の読出し/書き込み操作サイクルを開始させ、SIU100に対して補助記憶装置のデータの伝送を可能にするよう作用する。ゲート500-460乃至500-468は、登録値ビットがない時（即ち、信号ZAC=1）読出し/書き込み操作サイクル、書き込み操作サイクル、および読出し/クリア操作サイクルに対する補助記憶装置要求信号BSREQ100を生成する。第2の直列接続されたAND/NANDゲート500-470乃至500-476は、エラー検出（即ち、信号LME000は2進数である）の発生と同時に補助記憶装置書き込み禁止信号DISABESSN100を生成するよう作用する。例えば、WRITEサイクルの読出し部分においては、非正常なエラー条件の検出は信号LME000を2進数に強制する。このため、ブロック500-266と500-214の回路と共にブロック500-478

四

#### 読み込みセクション101

前述の如くシステム・インターフェース装置100は複数個のクロスバー・スイッチを介して第1回のシステムの各モジュール間の連絡を行う。別個のクロスバー・スイッチを用いてモジュールの各インターフェースの回路からの信号を受取る。第3図はモジュール読み込みインターフェースを接続するための読み込みセクション101の各スイッチおよび回路を示す。第1図のシステムには各々がその読み込みインターフェース602の異なる回路を介してSIU100に対し信号を与えるポートLM0、A、E、GおよびJに接続するモジュールがある。更に、SIU100は又読み込みのポートIと関連する読み込みインターフェースを介して信号を与える。

第3図から判るように、アービスを要求する時各モジュールは、読み込み優先順位制御ブロック101-2の回路に与えられるそのIDA回路上の適切な読み込み識別子情報と共に、その読み込み要求（IR）回路上に信号を与える。ブロック

四

101-2の回路は全ての読み込みインターフェースを監視し、実行中のプロセスの優先順位より高い順位を有する要求がある時プロセッサ200に対応する該当なプロセッサに信号する。プロセッサ200が要求を受入れる事ができる事を信号する時、SIU100はプロセッサ200に対する最優先順位の要求と関連する識別子情報をケートする。この識別子情報は、パリティ・ビット、3ビット読み込みレベル番号、およびパリティ・ビットと4ビット・チャンネル番号を有する1ビット・プロセス番号を有する8ビットの読み込み制御ブロック番号を有する。

読み込みモジュール101について更に詳細に考察すれば、ブロック101-2の回路はプロセッサ番号および読み込み要求信号を復号するデコード回路を含む。パリティ・エラーがないものと仮定すれば、デコード回路からの出力信号は提示されたプロセッサの読み込み回路の優先順位制御回路に与えられる。優先順位制御回路は読み込みレベル信号を復号し、最優先レベルを決定し、次いで最優先

79

回路又はレベル寄存器(LZP)回路の2進数1への強制優先立つて強制されたSIU100に伝達してプロセッサ200がIDR回路を2進数1に強制する時、AIL回路に与えられる。現プロセスが読み込まれないよう禁止されていなければ、読み込み要求はプロセッサ200に現行プロセスを中断させ、前述の識別子情報を含むSIU100から読み込みワードを受入れさせる。特に、この読み込みワードは下記の如くフォーマット化される。即ち、

ビット0は新しい読み込みビット位置である。2進数1にセットされると読み込みは新しく、2進数0にセットされると読み込みは再開されるべき前次読み込まれたプロセスである事を表示する。

ビット1-17は使用されず、2進数等である。

ビット18-27は読み込み制御ブロック番号を規定してビット18と27を2進数0にセットさせる。

ビット28-31はSIU100により生成され、本発明に従い本文中に説明される如くソース・モジュールを識別する。

80

特開2000-166741(2)。  
レベルと最上位のポート順位を有するモジュールが選択されるようにポート順位を決定する。あるレベル内の読み込みポート順位は下記の如くである。即ち、ポートL;ポートI;ポートA, ポートE, ポートC;ポートD;ポートB;ポートF, ポートG;ポートH;ポートJおよびポートK。  
この事は、第1図のシステムにおいては現行プロセスのポートが最優先順位を有し、これに次いでSIU100, 高速マルチプレクサ300, 上記プロセッサ700, プロセッサ200, および低速マルチプレクサ400となる。

ブロック101-2の優先順位回路は以下の二力回路の1つに出力信号を生じよう作用する(但し、これはシステム内の読み込みモジュールの数のみの出力回路は8位置のデータ・セレクト・スイッチ101-4に与えられ、該スイッチはこの時レジスタ101-6にロードされ、あるレベルより高い優先順位を有する読み込みレベルの読み込みレベル信号を選択する。レジスタ101-6からの出力信号は、高レベル読み込み存在(HLEP)

80

ビット32-35は多数のポートを有するモジュールにより生成され、本発明に従い本文中に説明される如くソース・モジュール内のサブチャンネル即ちポートを識別する。

ブロック101-2の回路の構成に関する更に詳細な内容については、本明細書の図面に引明した「優先順位読み込みハードウェア」なる係属中の米国特許出願を参照されたい。

又、読み込み優先回路101-2からの出力回路は別のデータ・セレクト・スイッチ回路101-8に与えられる事が利する。最優先順位を有する要求側モジュールのみが信号をセレクト回路101-8に与えるため、セレクト回路は、要求側モジュールが与える優先順位が継続する物理的ポート(即ち読み込みワードのビット28-31)を識別する予め定められたワイアード・インされた符号化信号組の組を与えるように構成されている。

本実施態様においては、下記の指向コードが第1図のモジュール識別のために生成される。

80

コード	識別されたSIUポート(モジュール)
0000	局部メモリ・モジュールポート LMC
0001	ポートK
0010	SIU100ーポートL
0101	低速マルチプレクサ400ーポート J
0110	プロセサ200ーポートG
1101	高速マルチプレクサ300ーポート A
1110	上位プロセサ700ーポートE

セレクト回路101-8により生成された4ビット・コードは更にゲート回路網101-12内に含まれる1グループの公知のANDゲート回路に与えられる。異なるソース・システム・モジュールにより与えられる他の識別子情報は又回路網101-12の他のゲート回路に与えられる。特に、各モジュールは、8位置のデータ・セレクト・スイッチ回路101-14の各位置の1つに対してそのIDA回路を介して読み込み制御ブロック

83

タ・フェース600上のマルチプレクサ300に転送するかを決定する優先回路を含んでいる。更に、セクション102は、どのソース・モジュールがデータ又は指令を局部メモリ・モジュール500に転送しようとしているかを決定する優先回路を含んでいる。

1モジュールが他のモジュールに対する要求を生成した時1対のモジュール間の転送が生じる事、およびこの要求が他のモジュールにより受入れられた事が判るであろう。要求が受入れられるためには、要求側のモジュールは適優先順位を持たねばならず、両モジュールは情報を受取る状態にならねばならず、転送が行われる転送経路は使用可能でなければならぬ(即ち、使用中でない)。

プロセサ200によりセクション102に与えられる信号に因しては、これ等信号の発生は、第2図のプロセサ・レジスタ201-15に読出されるマイクロ命令の異なるフィールドにより大きく左右される。例えば、ブロック102-4の帰回路に与えられるプロセサ200からの活動出力

84

特開昭53-157472

番号、CBN)を与える。更に、各モジュールは、読み込みインターフェースのIMID回路を介して回路網101-12のゲート回路網の他のものにソース・モジュールの要求側のマルチプレクサからポートを識別する情報を与える。プロセサ200がその読み込みデータ要求(IDR)回路を2進数1に強制する時、SIU100はゲート回路網101-12からの信号を4位置データ・セレクト・スイッチ回路101-20の各位置の1つを介してプロセサ・データ・インターフェース600のSIUからのデータ(DFS)パス回路に与える。スイッチ101-20の他の位置については本発明の理解と関連しないため図示しない。

#### データ転送セクション102

第3図はシステム・インターフェース装置100のデータ転送セクション102を示す。このセクションは、どのソース・モジュールが指令をそのプログラム可能インターフェース601上の高速マルチプレクサ300に転送し、かつどのソース・モジュールがデータをそのデータ・イン

85

ポート要求(AUPR)回路は、読出し/書き込みメモリ・即ちプログラム可能インターフェース指令の転送を規定するよう符号化されるレジスタ201-15に読出される各マイクロ命令のSIU要求タイプ制御ビット・フィールドに従って可能となる。2位置データ・セレクト・スイッチ102-2に与えられるプロセサ・データ・インターフェース600の対SIUデータ回路(DTS)は、第2図のプロセサ・データ出力レジスタ204-14にロードされるマイクロプログラム制御下で生成される指令情報を構成する。対SIU指向データ(SDTS)回路は、第2図のプロセサ指向レジスタ204-16にロードされるマイクロプログラム制御下で生成される信号を受取る。

第1図のシステムに対しては、I/Oプロセサのみが指令をマルチプレクサ500のみに転送し、プロセサ200は信号を回路網102-4に与える。従つて回路網102-4は、モジュールが指令をマルチプレクサ300に転送を欲する時点を確認するためプロセサ・モジュールから指向情報

86

を符号するデコード回路を含んでいる。1つ以上のモジュールが同じタイトル中に転送を欲する時1つ以上のI/Oプロセッサがある場合、回路網102-4に含まれる優先順位回路は最優先順位を割当てられるモジュールを選択し、そのプログラム可能インターフェース600のPDFS回路上のマルチプレクサ300に対する前記モジュールによる指令の転送を可能にする。特に、回路網102-4は、該当なモジュールからの信号を選択する2位置セレクタ・スイッチ102-2に対して信号を与える。これは、マルチプレクサ300がSIU100に対し、PIR回路を2進数1に強制する事により指令を受入れる用意がある事を信号する時に生じる。同時に、回路網102-4はAPC回路を2進数1に強制してマルチプレクサ300に対してPDFS回路に与えられた指令を受入れる事を信号する。プロセッサ200が命令を実行してこれにプログラム可能インターフェース(PI)指令をマルチプレクサ300に対して送出させる時、プロセッサ200は指令のビット3に

初

命(ZAC)に定着して生じる。マルチプレクサ300が指令を前送する時、SIU100は、マルチプレクサ300から受取ったマルチポート識別子情報に従属する適当な4ビットのリクエスタ識別子コード(識別コード)を生成する。この情報はメモリー・モジュール500により記憶され、モジュール500が読出しデータ転送要求を生じてマルチプレクサ300がこのデータを受取るべき事を表示する時SIU100に展される。又、SIU100はこの要求を受入れる時、回路ARDAを2進数1に強制する事によりマルチプレクサ300に通知する。

読出しデータ転送要求(RDTR)回路は、メモリー・モジュール500によりセットされる時、回路網102-14に対して1操作タイトルの中に読出された情報を転送する用意がある事を信号する。前面メモリー・モジュール500は又メモリーからのリクエスタ識別子(RIFM)回路に信号を与えて情報が転送されるべき要求側モジュールを識別する。

89

プロセッサの番号識別を置く。マルチプレクサ300は、読込み要求を出した時プロセッサ番号が前送の如く読込みデータの一部として含まれる迄は指令に含まれるプロセッサ番号を記憶する。PI指令がマルチプレクサ300に前送される時、リクエスタとしての後向情報識別プロセッサ200はマルチプレクサ300(ポートA)と関連するレジスタ102-6に記憶される。前述の如く、マルチプレクサ300がデータ転送要求をSIU100に対して生成する事により定着する時、レジスタ102-6の内容はデータを受取る要求のモジュールとしてプロセッサ200を識別するのに用いられる。

データ信号をマルチプレクサ300に転送するため同様な構成が用いられる。図1区において、メモリー・モジュール500はデータをマルチプレクサ300に転送する唯一のモジュールである。このような転送は前述の如く回路網102-20を介してマルチプレクサ300によりメモリー・モジュール500に前送される読出しメモリー・指

80

特に、デコード回路網102-14内の諸回路はPIFM回路に与えられた識別信号を符号し、前面メモリー・モジュール500が情報をマルチプレクサ300(マルチプレクサ300がこの情報を受取る用意があるものと仮定して)に情報を転送する用意がある事を前記信号が表示する時、デコード回路網102-14は適当な信号をセレクタスイッチ102-12とゲート回路網102-16内の諸回路とに対して与える。

更に、デコード回路網102-14は信号をデータインターフェースの読出しデータ受入れ(ARDA)回路に与えて、そのインターフェース600のSIUからのデータ(PFS)回路を受入れるべき事をマルチプレクサ300に対して信号する。ブロック102-16の諸回路は適当なマルチポート識別子情報をSIUからのマルチポート識別子(MIFS)回路に与え、RIFM回路から得られる要求側サブタイトルを識別する。転送が生じる時、回路網102-14はRDAA回路を2進数1に強制して、要求側のモジュールに

90



してデータがメモリ・モジュール500に  
より  
送られる事を信号する。

回路網102-14に類似の構成をSIU100  
に用いて第1図のモジュールのいずれかからの  
PIおよびメモリ・指令を局部メモリ・モジ  
ュール500に転送する。モジュール500は、プ  
ログラム可能インターフェース又はメモリ・指令  
のいずれかを受入れる用途がある時、デコード回  
路網102-20に与えられるプログラム可能イ  
ンターフェース要求(PIR)回路又はZACイ  
ンターフェース要求(ZIR)回路のいずれかを  
2進数1に強制するよう作用する。更に、プロセ  
サ200と、プロセサ700と、マルチプレクサ  
300とは回路網102-20の信号を活動出力  
ポート要求(AOPR)回路に、又換向データを各  
データ・インターフェースのSIU回路に与える。  
モジュールの各々により与えられる換向情報の信  
号と同時に回路網102-20は、メモリ・モ  
ジュール・データ・インターフェース603の対  
SIUデータ転送回路に対して優先順位を有す

80

て102-20を介してプロセサ200に前送す  
るよう作用する。プロセサ200は一時に1つの  
指令を処理するため、プロセサ要求に回答してプ  
ロセサのDFS回路に対する転送のためセレクト  
・スイッチ102-20に対しデータを与えるモ  
ジュール間には競合が生じ得ない事が利するであ  
らう。即ち、プロセサ200が指令を第1図のモジ  
ュールの1つに送出した後、その作用は抑制され  
て要求されたデータの受取りを留保する。SIU  
100は、プロセサの要求の受入れと同時に、プ  
ロセサARA回路を強制してプロセサの操作を遅  
延させる。

別個の回路網102-40はPI指令に回答す  
るこれ等モジュールからのデータ戻し要求を処理  
する。回路網102-40は、指示しない他のモ  
ジュールのレジスタと共にレジスタ102-6か  
らRDTR回路に与えられる信号を復号する。モジ  
ュールが要求されたデータをプロセサ200に展  
示しようとしている事(即ち、マルチプレクサ300  
のレジスタ102-6に記憶されたリクエスト値

81

特開433-106747 21

るモジュールに信号を与える事を可能にするため  
の3位値セレクト・スイッチ102-24に適合  
な信号を生成するよう作用する。又、回路網102  
-20は、グート回路網102-26を介してモ  
ジュールメモリ・モジュール・インターフェース603  
の対メモリ・要求識別子(RITM)回路上の適合  
なリクエスト識別信号と共に、プログラム可能指  
令受入れ(APC)回路又はZAC指令受入れモ  
ード(AZC)のいずれかに対して信号を与える  
事が利する。

最後の2つの回路網102-30と102-40  
を用いてメモリ・データおよびプログラム可能  
インターフェース・データを、プロセサ200に  
より前に生成されたメモリ・指令およびPI指令  
のそれぞれに回答してプロセサ200に対して転  
送する。第3図から利する様に、最先減位デコ  
ダ回路網102-30は回路網102-14と  
同じ入力回路を有し、同じ方法で要求されたメモ  
リ・データを第3図のデータ・セレクト・ス  
イッチ102-32と4位値のセレクト・スイッ

82

チ102-20を介してプロセサ200に前送す  
るよう作用する。プロセサ200は一時に1つの  
指令を処理するため、プロセサ要求に回答してプ  
ロセサのDFS回路に対する転送のためセレクト  
・スイッチ102-20に対しデータを与えるモ  
ジュール間には競合が生じ得ない事が利するであ  
らう。即ち、プロセサ200が指令を第1図のモジ  
ュールの1つに送出した後、その作用は抑制され  
て要求されたデータの受取りを留保する。SIU  
100は、プロセサの要求の受入れと同時に、プ  
ロセサARA回路を強制してプロセサの操作を遅  
延させる。

別個の回路網102-40はPI指令に回答す  
るこれ等モジュールからのデータ戻し要求を処理  
する。回路網102-40は、指示しない他のモ  
ジュールのレジスタと共にレジスタ102-6か  
らRDTR回路に与えられる信号を復号する。モジ  
ュールが要求されたデータをプロセサ200に展  
示しようとしている事(即ち、マルチプレクサ300  
のレジスタ102-6に記憶されたリクエスト値

83

える事ができ、テヤス・インストルメンツ社の前記の文獻に示される論理回路を含めてもよい。又、本発明の目的に対しては、スイツチング回路は従来通知のクロスバ・スイツチを含む事ができる。

#### 作用説明

本発明のシステムの作用については、第1図乃至第9図に就いて以下に説明する。第8図から判るように、局部メモリ・モジュール500は多くの異なるタイプのZAC指令の実施が可能である。要約すれば、モジュール500は下記の如く定義される5つの異なるタイプのZAC指令の処理が可能である。

#### 1. 読出し単指令

アドレス指定されたメモリ・場所の内容(1ワード)が読出されてリクエストに送出される。メモリ・内容は変更されない。ZACビット9は、カッシュがロードされるかバイパスされるかを規定する。然し、もしこのブロックが既にカッシュにロードされていれば、読出しサイクルはカッシュ内で行われて情報がカッシュから取出される。

図

リクエストにより与えられるデータ・ワードの1乃至4バイトがアドレス指定されたメモリ・場所に記憶される。記憶されるバイトはゾーンビットで指定される。ゾーン・ビット5、6、7および8はそれぞれバイト0、1、2および3を制御する。記憶されないバイト位置のメモリ・場所は変更されずに残る。アドレス指定されたワードを含むデータ・ブロックはカッシュ内にロードされない。然し、ブロックが既にカッシュ内にある時、ワードが更新される。

#### 5. 書き込み2倍指令

リクエストにより与えられる2データ・ワードはアドレス指定されたメモリ・場所に記憶される。このデータ・ブロックはカッシュにロードされない。然し、ブロックが既にカッシュ内にある時、2ワードが更新される。

異なるZAC指令に対する特定のコードは下記の如くである。他の可能な11のコードが適任として定義され、前述の如くエラー・信号を生じる。

図

エ内で行われて情報がカッシュから取出される。

#### 2. 読出し/クリア単指令

アドレス指定されたメモリ・場所の内容(1ワード)は読出され、リクエストに送出され、メモリ・場所(1ワード)は良好なバリテイ(又はDAC)ビットを用いて零にクリアされる。アドレス指定されたワードを含むデータ・ブロックはカッシュにロードされない。もしこのブロックが既にカッシュにロードされれば、アドレス指定されたワードも又カッシュ内で零にクリアされる。

#### 3. 読出し2倍指令

アドレス指定されたメモリ・場所(2ワード)の内容が読出されてリクエスト・ワードに逐次送出される。メモリ・の内容は変更されない。ZACビット9はカッシュがロードされるかバイパスされるかを規定する。然し、もしこのブロックが既にカッシュ内にロードされておれば、読出しサイクルはカッシュ内で行われて情報がカッシュから取出される。

#### 4. 書き込み単指令

図

CMD	ゾーン	カッシュ・バイパス ビット	ZACビット				
			9	10	11	12	13
1	0	0	0	0	0	0	0
2	0	0	0	0	0	0	0
3	0	0	0	0	0	0	0
4	0	0	0	0	0	0	0
5	0	0	0	0	0	0	0
6	0	0	0	0	0	0	0
7	0	0	0	0	0	0	0
8	0	0	0	0	0	0	0
9	0	0	0	0	0	0	0
10	0	0	0	0	0	0	0
11	0	0	0	0	0	0	0
12	0	0	0	0	0	0	0
13	0	0	0	0	0	0	0
14	0	0	0	0	0	0	0
15	0	0	0	0	0	0	0
16	0	0	0	0	0	0	0
17	0	0	0	0	0	0	0
18	0	0	0	0	0	0	0
19	0	0	0	0	0	0	0
20	0	0	0	0	0	0	0
21	0	0	0	0	0	0	0
22	0	0	0	0	0	0	0
23	0	0	0	0	0	0	0
24	0	0	0	0	0	0	0
25	0	0	0	0	0	0	0
26	0	0	0	0	0	0	0
27	0	0	0	0	0	0	0
28	0	0	0	0	0	0	0
29	0	0	0	0	0	0	0
30	0	0	0	0	0	0	0
31	0	0	0	0	0	0	0

例えば、最初にP0のプロセサ200の1つが一連のプログラム命令の実行を開始するよう作用し、局部メモリ・モジュール500の命令を指定するものとする。この事例では、最初と後続する命令は、指標値およびアドレス・シラブルを含む別のフィールドを記憶する汎用レジスタを指定する少くとも1つのフィールドを含むようフォーマット化される。汎用レジスタ指標値の内容は、2進数等にモットされたものと決定されるバイパス・ビット9の状態を規定する。プロセサ200は情報を組み合わせて絶対アドレスを生じる。

一先絶対アドレスが計算されると、プロセサ200は所望のメモリ・指令ワードと、局部メモリ・モジュール500に指令を指向するための適当なS:U操作情報を生成する。操作および指令は第8区に示されるフォーマットを有する。

前述の事を更に詳細に考察すれば、各命令のOPコードはZAC指令の発生により行われるメモリの融合操作を指定するよう符号化される。最初の命令のOPコードは命令レジスタスイツ

図

ルの指標が指定される時、第2の汎用レジスタ場所に記憶される値を、レジスタR2において以前に記憶された結果に加算する同様な操作が行われる。ビット9に対する適当な値は第1の汎用レジスタにおけるよりもむしろ第2の汎用レジスタに記憶され得た事が容易に判るであろう。

命令の実行相においては、プロセサ200は局部メモリ・500に対してZAC指令を生成するよう作用して読出し操作を指定し、メモリ・204-4又はR2レジスタのいずれかから得た適当なメモリ・アドレスを与える。絶対アドレスをとれば、レジスタR2からのアドレスはWRPパスに与えられ、アドレス・スイツ204-6およびクロスバ・スイツ204-8のR/W位置を介してデータ・アウト・レジスタ204-14にロードされる。

換向スイツ204-10はメモリの操作サイクルに対するS:U換向を与える。信号は第8区のフォーマットを有し、R/W指令を局部メモリ・モジュール500又はこのモジュールが指

(101)

202-4によりメモリ・モジュールの1つを融合させるメモリ・201-2に与えられる。この操作の内容はレジスタ201-4に記憶され、命令処理に必要とされるマイクロ命令シーケンスの記憶記憶装置201-10における記憶アドレスを指定する1対のアドレスを含んでいる。

換命令の実行中に開始する第1の命令記憶相においては、次の命令の指標ビットはスイツ203-14の位置3を介してスクランツパッド・メモリ・203-10の汎用レジスタ場所の指定された1つをアドレス指定するのに使用される（図ら、Lev, XR1）。場所の内容はパツファ203-16に読出される。

指標レジスタの内容はスイツ203-20の位置0を介して、命令の宛位フィールドがスイツ204-1の位置0を介して加算回路204-2のBオペランド入力に与えられる加算回路204-2のAオペランド入力に与えられる。両者は一緒に加算され、その結果はスイツ204-9を介して作成レジスタR2に転送される。第2レベ

(102)

残するポートLM0に転送するためS:Uが使用される情報を与える。これ等信号は、マイクロプログラム制御下でレジスタ201-15およびアドレススイツ204-6から換向スイツ204-10のR/W位置を介して換向レジスタ204-16のビット位置にロードされる。

マイクロ命令フィールドの符号化および換向情報の生成に關するこれ以上の内容については、係属中の米国特許出願「メモリ・アクセス・システム」を照合され度い。

両方のレジスタ204-4および204-16のローディングに際して、プロセサ200はAOPR回線を2進数1に強制し、この状態がR/W指令の局部メモリ・モジュール500への転送のための信号シーケンスを開始する。又、プロセサ200は命令カウンタ(IC)を増分し、作成レジスタR3にその結果を記憶する。次いでプロセサ200は、SIU100からARRA回線を介して信号を受取り要求の空入れを表示する迄次のマイクロ命令の実行を遅延させる。

(103)

SIU100は、データ・タイトルに続くアドレス／指令タイトルである1対のSミジタイトルを要求するものとしてR/W指令を示す。局部メモリ・モジュール500が指令を受入れる用意があるものとする。ZIR回路は2進数1である（第9図において波形は負の電位信号で示される）。第30図のSIU優先回路102-4は、操作タイトルの間局部メモリ・インターフェース602のDTM回路に対してSIUセレクト・スイッチを介して指令ワードを与えるよう作用する。プロセサ200は、SIU100がARR回路を2進数1に強制する迄指令ワードをデータ・アウト・レジスタ204-14に保持しながら待機する。同時に、SIU100はAZC回路を2進数1に切換え、モジュール500に対してR/W指令を受入れる事を信号する（第9図参照）。

ARR回路における状態の変化の検出と同時に、プロセサ200は、マイクロ命令の制御下で命令の処理を完了する。即ち、要求されたデータワードが前述の如くSIU100から受取られる迄待機

(100)

レス信号は、データのブロックが既にキャッシュ500-20に存在するかどうかを判定するために使用される。

又、回路DTM17-33に与えられるアドレス信号も又これから、ブロックのデータからの読出のための補助記憶装置500-40に与えられる事が判らう。

第9図から、要求される情報が既にキャッシュ500-20に記憶されたかどうかを決定するため登録記憶装置500-22の検査を即時開始する事が判る。この検査操作は、クロック・パルス1Tと2T間の間隔の間に行われる。本事例においては、プロセサ200により要求される情報の一部がキャッシュ500-20に存在するものと決定する。

第6図において、ブロック500-6の帰回路はZAC指令のビット1-4を復号する事が判る。ゾーン・ビット5-8はどのバイパスがメモリに書き込まれるべきかを指定するよう符号化される。ビット1は2進数1でありビット2-4は2進数

(100)

する。

ここで、メモリ・指令は書き込み操作を指定するように符号化される。第8図および第9図において、ZAC指令ワードの指令およびアドレス・データは、時点1T（即ち、システムクロック・パルス1Tが2進数1から2進数0に切換る時の後端）においてAZC回路からの信号AZC100に伝送してZACレジスタ500-120にロードされる事が判る。ZACレジスタ500-120に記憶されたアドレス信号はDTM回路17-33から第6図に示される如く登録記憶装置500-22および登録比較回路500-24に対して入力として与えられる。

特に、DTM回路26-32に与えられるアドレス信号は登録記憶装置500-22をアドレス指定するためのブロック・アドレスとして使用され、回路DTM17-25に与えられるアドレス信号は登録記憶装置500-22に書き込まれる信号に対応する。登録比較回路500-24に与えられる同じアド

(100)

ドレスであるため、信号WR000は2進数0である。従つて、ゲート500-61は信号RR100を2進数0に強制し、信号WR/RCL100を2進数1に強制する。信号WR/RLL100はゲート500-64に対して与えられる。

信号LME/DE000は、通常局部メモリ・エラー又は登録エラーのない時2進数1である。要求される情報がキャッシュ500-20にあるものとする。ゲート500-280は信号DIRCOMP100を2進数1に強制する。これは、更にゲート500-282をして信号SETHIT100を2進数1に強制させる。クロック信号CLKDIR020の発生と同時に、ヒット・レジスタ・フリップフロップ500-284は2進数1に切換る。従つて、信号HIT000とHITREC100はそれぞれ2進数0と2進数1に対応する（即ち、ヒット検出される）。

信号WR000はゲート500-462を条件付けて補助記憶装置の指令信号BSCMD100を2進数1に強制させる。書き込み指令が妥当である

(100)

(即ち、適正コードおよびフォーマット)ものと仮定すれば、信号TCERROR000は2進数1である。従つて、補助記憶装置のタイミング信号SL04T/NSL02T100の発生と同時に、ゲート500-464は補助記憶装置の要求信号BSREQ100をタイミングパルス1Tと2Tの間隔(第9図参照)において2進数1に強制するように作用する。これは補助記憶装置500-40に信号してメモリー操作タイクンを開始させる。また、信号WR000はゲート500-470をして信号BSWR100を2進数1に強制させる。これは書き込み操作であるから、ゲート500-472は信号WRDBL000を2進数1に強制する。従つて、信号LME000の状態はゲート500-476が信号DISABWR000を2進数0に強制するかどうかを確定する。エラーがないものと仮定するため、2進数1である信号LME000はゲート500-476を条件付けして信号DISABWR000を2進数1に強制する。これは、補助記憶装置の書き込み操作を生じさせる。

(107)

置換されるべきものを指定する。アドレス・ビットA33000が2進数1である時、ゾーン・ビット信号は、信号WD00-36100およびWDP0-P3100に対応するワード1のどのバイトが補助記憶装置500-46から読出された信号RD00-36111およびRDP0-P3111を置換すべきかを確定する。然し、アドレス・ビットA33000が2進数0である時、ゾーン・ビット信号は、信号WD37-711とWDP4-P7100に対応するワード2のどのバイトが信号RD37-71111およびRDP4-P7111を置換すべきかを確定する。第9図に示す如く信号におけるデータは時点2TでSIU100に与えられる。

スイッチ500-8から結果として組み合わされた出力信号WD00-7110およびWPO-WDP71110は、時点T7でカッパエ記憶装置500-20とブロック500-44の検査ビット生成回路に対するデータ入力として与えられる。従来の方法では、これ等回路は新旧の組み合わせデータ信号に対する所望のエラー検出或訂正検査ビット

(108)

補助記憶装置の要求に反応して、補助記憶装置500-40はデータの160ビットを出力レジスタ500-42に読出すよう作用する。このデータは、第9図に示す如くタイミング・パルスT7の発生に先立つて回路500-44の出力端で適正形態で生じる。

第6図から判るように、補助記憶装置500-46から読出されるデータおよび検査信号RD00-71111およびRDP0-P7111はスイッチ500-8に対して1組の入力として与えられる。これ等の信号はレジスタ500-12からデータおよび検査信号WD00-71111およびWDP0-P7111と合成される。これは、アドレス・ビット33および指令ビットの状態の機能として異なるバイトのソースを直接選択する回路DTMO5-08100に与えられるゾーン・ビット信号の符号化である。書き込み信号指令の場合、ZACレジスタ500-12から得られるアドレス・ビット33の状態は、補助記憶装置500-46からのどのワードのバイトがSIU100からのワードで

(109)

を生産する。訂正できないエラー-条件の場合には、これ等の回路は、強制されるべき信号LME000を2進数0に強制する書き込みエラー-信号を生産する。その結果前述の如く書き込み操作タイクンの打ち切りを生じる。

信号RDLOAD100は2進数0であるため、ゲート500-260はゲート500-262を条件付けして信号ENABLEWR100を2進数0に強制する。従つて、全無条件書き込み可能回路500-266は使用禁止された状態を維持する。然し、第7図からは、信号WR000がNAND/ANDゲート500-61をして信号WR/RCL100を2進数1に強制させる事が判ろう。登録エラー-又は局部メモリー・エラー-がないものと仮定したので、信号LME/DE000は2進数1となる。従つて、補助記憶装置のタイミング信号BSST101の発生と同時に、NAND/ANDゲート500-64は信号WRLOAD000を2進数0に強制する。信号WRLOAD000はNANDゲートをして信号WRCACHE100を2進数1に強制させる。従つて、

(110)

NAND/ANDゲート500-212は、クロック信号CLK141の発生と同時に信号WRCACHE100を2進数1に強制するよう作用する。

第9図から判るように、カッシュ書き込み可能回路500-214はタイミング・パルスBTの間書き込みカッシュ信号WRCACHE100により条件付けられて回路DTM-26~31に与えられるアドレス信号により指定されるコラムにおいて読み合わせ信号WD00-71110とWDPU-P7110をカッシュ記憶装置500-20に書き込む。アドレス・ビット32の状態は、80ビットが書き込まれるべきブロックの特定のコラムを規定する。更に、信号LWR80100は2進数1(下位の80ビットに書き込み)であり、これがゲート500-218をして信号RDLDU80000を2進数1に強制させる。ゲート500-222はアドレス信号CAADDR32100にZACレジスタ500-120に記憶された状態アドレス信号をとらせる。即ち、アドレスビット32が2進数1である時、信号CAADDR32100は2進数1である。

(iii)

がカッシュ500-20に存在せず登録値比較が存在しない時(即ち、ヒットなし)は信号HIT000は2進数1となる事が判るであろう。同時に信号HITREG100は、信号MISS100を2進数1に強制する2進数0である。第7図から判るように、信号HITREG100はNAND/ANDゲート500-64をして信号WRLOADUG0を2進数1に強制させる。これにより、カッシュ書き込み可能回路500-214が情報をカッシュ記憶装置500-20に書き込む事を禁止する。然し、この情報は前述の方式で補助記憶装置500-46に書き込まれる。

書き込み2倍指令も又カッシュ記憶装置500-20に記憶されるデータをリクエストにより与えられる2つのデータ・ワードにより更新させる事が判るであろう。従つて、この指令の両ビット1および2は2進数1であり、ゾーン・ビットは全て2進数1である。第7図から、両信号DBL100とBSWR100は2進数1である事が判る。このため、NAND/ANDゲート500-472は信号

(iii)

更に、第9図から判るように、タイミングパルスT9に続いて、回路500-478はタイミング信号BSWT40100に反応して書き込み補助記憶装置信号を生成する。信号WD00~79は補助記憶装置500-46に書き込まれる。単一経路の使用により同じデータ信号のカッシュ記憶装置500-20と補助記憶装置500-46の相方への書き込みが保証される事が判るであろう。更に、この構成のための所要の回路量が少くなる。

局部メモリー・モジュール500は、書き込み操作サイクルの完了時点で回路RDTRを2進数1に強制させて、ZAC指令により前に書き込まれるべく要求されたデータが受入れられた状況としてSIU100に対して信号するよう作用する。プロセッサ200が2進数1に強制されたARDAにより信号されるデータ経路の確保に続いてデータを抹消した時、SIU100はRDAA回復を2進数1に強制する。この状態は局部メモリー・モジュール500に対して操作が完了した事を信号する。

プロセッサ200により書き込みを要求された情報

(iii)

WRDBL000を2進数0に強制し、更にNANDゲート500-476をして信号DISABBSWR000を2進数1に強制させる。

前記の動作によりエラー・信号LME000の状態の如何に拘わらず書き込み操作サイクルの間回路500-478を使用可能な状態にする。その理由は、データ・ワードの一部(即ち、1乃至4バイト)よりもむしろ2ワード全体が補助記憶装置500-46とカッシュ記憶装置500-20に書き込まれる如きエラーが訂正可能であるためである。

前記の事例は、本発明の構成がいかんして同じデータが補助記憶装置において更新中である同じ間隔においてカッシュ記憶装置に記憶されるデータの自動的更新を可能にするかを示している。情報の記憶されたブロックは、書き込み指令の符号化に従つて1乃至4バイト即ち2ワードだけ更新される。

前述の方式でデータを更新する事により、本発明の構成はシステムがフラッシング操作を行う必

(iii)

要を不要にするものである。又、本國版はヒット  
軍の改修を行うものであると考えられる。

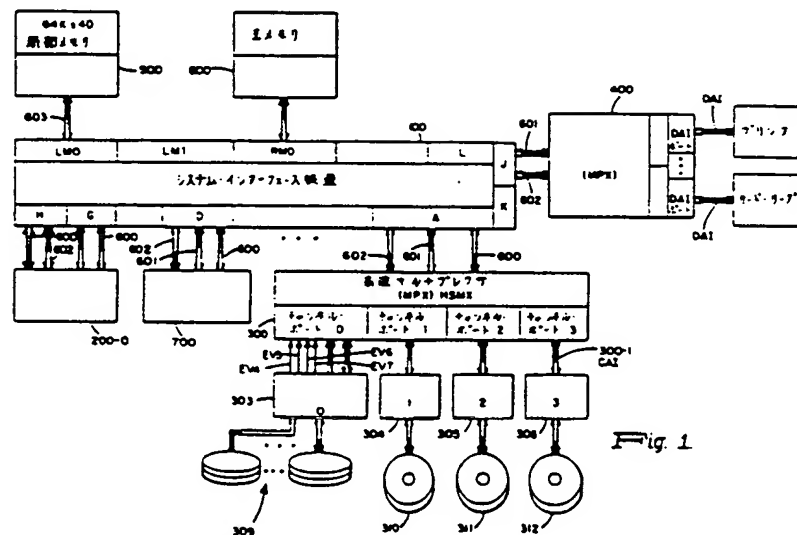
本発明の望ましい実施形態については多くの変更が可能であり、例えば指令がフォーマット化され符号化されると共にある制幅およびタイミング信号が生成される方法の変更が可能である事は明らかであろう。簡単にするため、多くの場合に各種の信号のソースは1つとした。然し、同じ信号がタイミングの制約を少なくするため他のソースにより独立的に生成され得る事が判るであろう。更に、本発明の指示内容は新データと旧データの合成がキャッシュ記憶装置の出力側で生じる場合に使用できる事も明らかであろう。然しこのためには別の回路の使用が必要となる。

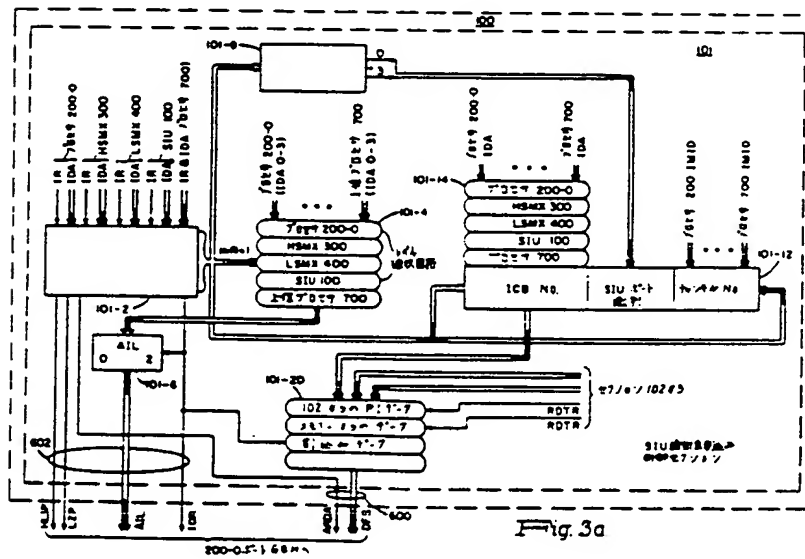
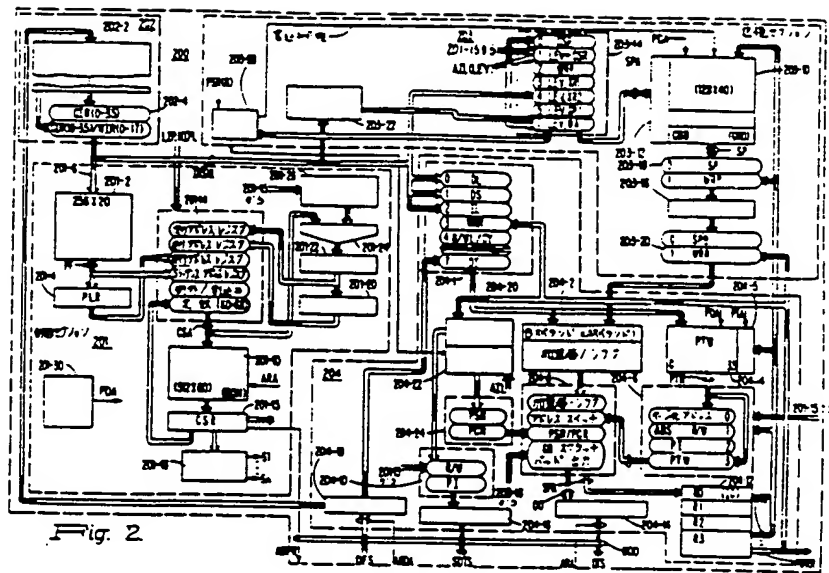
#### 4.【図面の簡単な説明】

第1図は本発明の原理を採用する入出力システムのブロック図、第2図は第1図の入出力処理装置を更に詳細に示すブロック図、第3図および第3ロ図は第1図のシステム・インターフェース装置を更に詳細に示すブロック図、第4図は第1

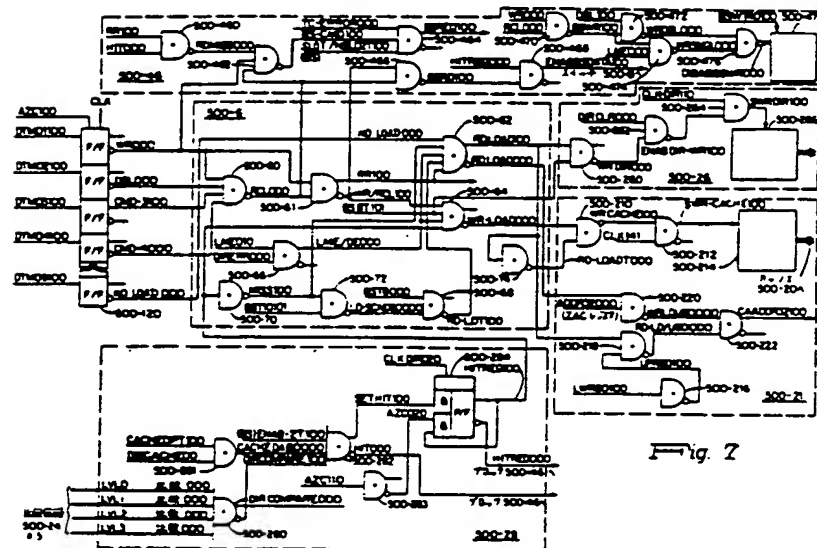
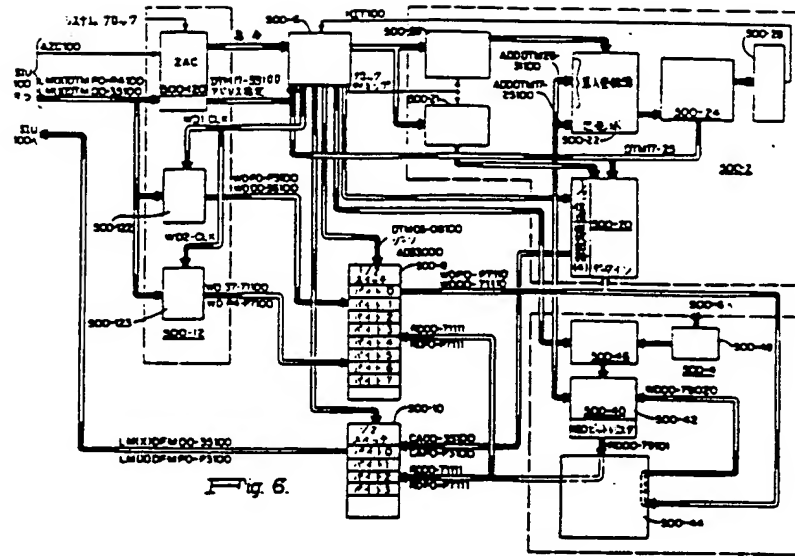
図の局面メモリ・モジュールのブロック図、および図5a図乃至図5c図は第1図の各種インターフェースを示す図、第6図は第4図の局面メモリ・モジュールを更に詳細に示すブロック図、第7図は第6図の一部を更に詳細に示すブロック図、第8図は本発明によるZACメモリ・指令のフォーマットを示す図、および第9図は本発明の作用を説明するためのタイミング・ダイアグラムである。

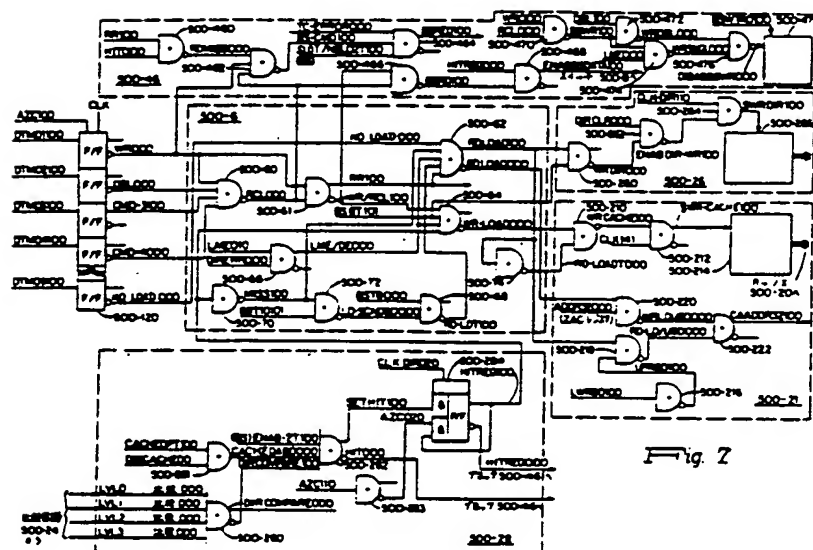
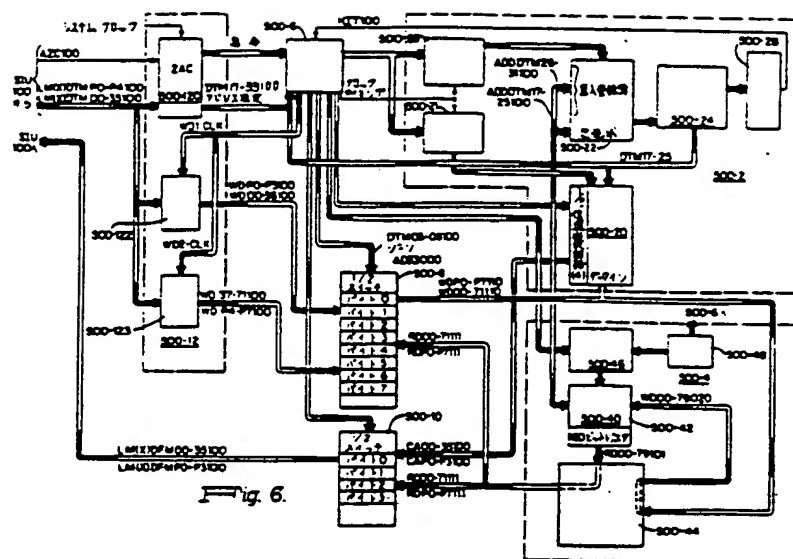
100…システム・インターフェース部  
(SIU)。101…読み込みセクション。102…  
データ転送セクション。200-0…入出力プロ  
セッサ対(PO)。300…高速マルチプレクサ  
(HSMX)。400…低速マルチプレクサ(LSMX)。  
500…局部メモリ・モジュール。600-603  
…インターフェース。700…上位プロセッサ。  
800…主メモリ・モジュール。

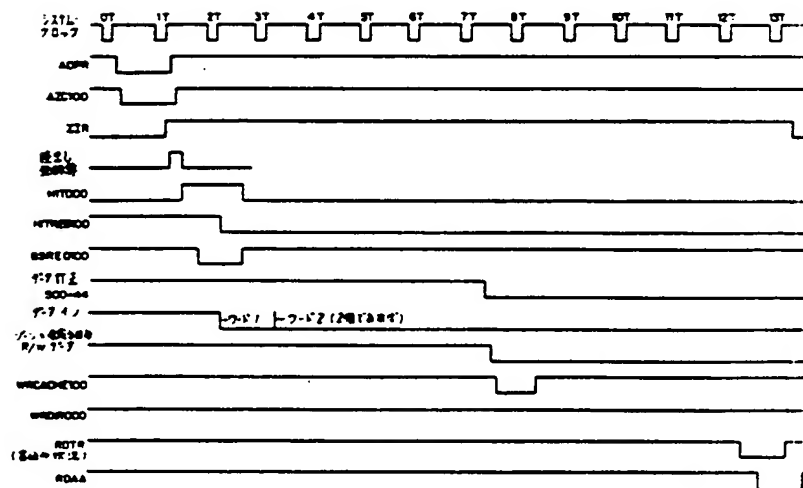
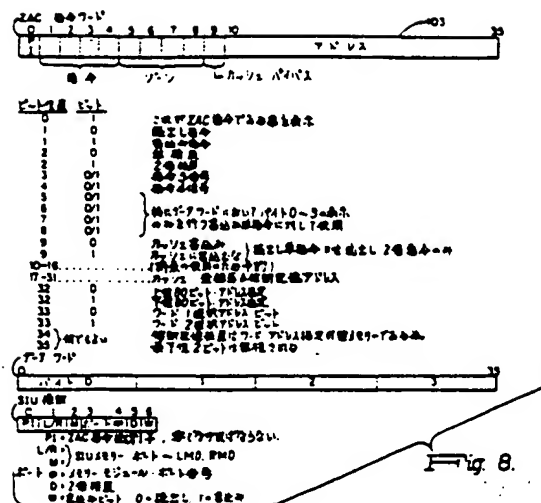












特許法第17条の2の規定による補正の掲載

昭和53年特許願第175/55号(特開昭  
53-108747号 昭和53年9月2/日  
発行公開特許公報53-1088号掲載)につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。

Int. Cl.	識別 記号	庁内整理番号
G06F 15/00		6974 58

手 続 補 正 書

昭和56年9月5日

特許庁長官 島 田 春 彦 殿

1. 事件の表示

昭和53年特許願第175/55号

2. 発明の名称

キャッシュ記憶装置を含むデータ処理システム

3. 補正をする者

事件との関係 特許出願人

住 所

名 称 ハネイウエル・インフォメーション・  
システムズ・インコーポレーテッド

4. 代 理 人

住 所 東京都千代田区大手町二丁目2番1番  
新大手町ビル206号室(電話 270-6641-6)  
氏 名 (2770) 弁理士 島 茂 希 三

5. 補正の対象

明細書の〔発明の詳細な説明〕の欄

6. 補正の内容

(1) 明細書中に次の様な補正を行う。

頁 行	補 正 前	補 正 後
1 1 1	の装置	のある装置
1 1 2	時必要	時、必要
1 1 1から2	記憶される	記憶された
1 2 1から6	更に	指令モジュールにより 与えられた
1 2 1から5	必要とする指令 モジュールに	要求された
1 2 1から4	より与えられる 情報	情 報
1 2 1から3	情 報	該情報
1 3 1	含んでいる	更に含んでいる
1 3 1 1	補助に	補 助
1 4 5	出力側	情報の出力
1 4 4	最少限度	最少限
1 4 5	記憶され自動的に	記憶され
1 4 6	(全文)	該情報における変化
1 4 7	を情報に伴わせ	に伴う情報を
1 4 8	る事	自動的にキャッシュ記憶 装置に与込む事

1 4 9	最少限度	最少限
1 8 5	制 限	直接制限
2 1 2	2倍精度	2倍精度
2 1 1 1, 末	即ち	又は
2 1 1 下から5	モジュール間	モジュールとSIL間
2 2 5	操 作	操 向
3 4 1 下から4	割込み	インタ フエース
3 4 1 下から7	即ち	又は
3 7 9	延ばし、	延ばし、2つのナット 番号過剰回線と、
3 7 1 3	如くである、	如くに符号化される、
3 7 1 下から4	又は割込む	解放する
4 1 3	要 求	要求
4 1 7	メモリー	メモリ 500
4 8 1 下から3	ず、即ち	ない、か、
4 8 末	実 行	例 外
4 9 末	プロセサ	第1図のシステムの他の のモジュールとプロセ サ
5 0 3	(全文)	るため必要とされ、
5 0 4	ユーニはブロック・ブロック	
5 0 1 下から3	との間	間

61	2~3	このレンタダが ロードされると	ロードされるべきレン タダと
61	トから2	型 数	次 型
63	トから7	列	バンク
65	4	即ち	又は
69	9	登録の	登録簿の
76	9	脱出し/再読み	の脱出し/再読み
76	9	タイトル	タイトルに対する、
78	4	第1回	第1区
81	Fから8	プロセス	プロセスの割込み
90	2	P I F M	R I F M
93	5	102	101
93	7	即ち	即ち
96	6	用いて	併つて
96	9	されれば	されていれば
96	10	ワードもスカッ シエ内で	カッシエ内のワードも ス
102	6	位置に	位置0乃至8に
104	3	される。	されているとする。
105	Fから3	バイパス	バイト
108	11	12から	12からの
以 上			

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY:**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**